

## **Cited Reference 2**

### **Japanese Laid-Open patent Hei 11-274913**

**PROBLEM TO BE SOLVED:** To accelerate the operating speed of the CMOS logic circuit that suppress leakage current.

**SOLUTION:** A standby circuit 3 is inserted between a 1st logic circuit 1 and a 2nd logic circuit 2. The standby circuit 3 inverts an output signal of the 1st logic circuit 1 and inputs the inverted signal to the 2nd logic circuit 2. Also, the circuit 3 converts the constitution of transistors(TRs) in a cell in the 1st logic circuit 1 or the 2nd logic circuit 2 effectively suppresses a leakage current in the standby state and contributes to the design of the CMOS logic circuit that operates at a high speed.

### **Japanese Laid-Open patent Hei 11-282886**

**PROBLEM TO BE SOLVED:** To improve low power consumption property without increasing a circuit scale by inputting a cell consisting of a high threshold transistor and low threshold transistor and registered cell information, replacing a cell in a logic circuit and outputting new logic circuit information.

**SOLUTION:** A signal value that is set to each node is calculated. An output of an internal signal calculating means 102, that is, a signal value that is set to each node in the existing logic circuit at the time of standby, an input logic circuit 100 and a leak cut library 103 are inputted to a cell replacing means 104 and the means 104 selects a cell which is for effectively cutting a leak current according to the signal value set to each node in the existing logic circuit from the library 103, replaces a cell, also replaces a pin when necessary and outputs a net list of an output logic circuit 105, that is, a new logic circuit which effectively cuts a leak current at the time of standby.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) . Int. Cl. 6  
H03K 19/00

Cited reference 2

(45) 공고일자 2002년10월18일  
(11) 등록번호 10-0357509  
(24) 등록일자 2002년10월08일

(21) 출원번호 10-1999-0009972  
(22) 출원일자 1999년03월24일

(65) 공개번호 특1999-0078182  
(43) 공개일자 1999년10월25일

(30) 우선권주장 98-078865 1998년03월26일 일본(JP)  
98-078866 1998년03월26일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤  
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1

(72) 발명자 가시와쿠라쇼이치로  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시끼가이샤나이  
이노우에아츠키  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시끼가이샤나이

(74) 대리인 조태연  
김성택  
허정훈

심사관 : 권호영

(54) CMOS 논리 회로 및 그 동작 방법

요약

스탠바이 모드 시와 고속의 동작 속도 시에 누설 전류의 효과적인 제어를 보장하기 위한 CMOS 논리 회로가 제공된다. 스탠바이 회로는 CMOS 회로 내의 제1 논리 회로와 제2 논리 회로 사이에 제공된다. 스탠바이 회로는 제1 논리 회로로부터 반전된 신호를 수신하고, 스탠바이 신호에 기초하여 신호를 제2 논리 회로에 출력한다. 또한, CAD 시스템이 제공되는데, 기존 논리 회로의 셀은 고(高) 문턱값의 트랜지스터와 저(低) 문턱값의 트랜지스터를 구비하여, 미리 설정된 입력 신호가 스탠바이 모드 시에 제공될 때에 내부 노드의 신호값에 기초하여 누설 전류를 제어한다.

대표도  
도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 원리도.

도 2는 본 발명의 제1 실시예를 도시한 도면.

도 3의 (a) 및 (b)는 본 발명의 제1 실시예를 도시한 도면.

도 4는 본 발명의 제2 실시예를 도시한 도면.

도 5의 (a) 및 (b)는 본 발명의 제2 실시예를 도시한 도면.

도 6의 (a) 및 (b)는 본 발명의 제3 실시예를 도시한 도면.

도 7은 본 발명의 제3 실시예를 도시한 도면.

도 8의 (a) 및 (b)는 본 발명의 제4 실시예를 도시한 도면.

도 9는 본 발명의 제4 실시예를 도시한 도면.

도 10의 (a) 및 (b)는 본 발명의 제3 및 제4 실시예의 원리를 도시한 도면.

도 11의 (a)~(d)는 게이트 치환의 일반적 흐름을 도시한 도면.

도 12의 (a) 및 (b)는 본 발명의 제5 실시예를 도시한 도면.

도 13의 (a) 및 (b)는 본 발명의 제5 실시예를 도시한 도면.

도 14의 (a)~(c)는 관련 기술을 설명한 도면.

도 15는 제2 원리도.

도 16은 본 발명의 제3 원리를 설명하는 도면.

도 17의 (a) 및 (b)는 본 발명의 셀의 제1 원리를 설명하는 도면.

도 18은 본 발명의 제6 실시예를 도시한 도면.

도 19의 (a) 및 (b)는 본 발명의 제7 실시예를 도시한 도면.

도 20은 본 발명의 제8 실시예를 도시한 도면.

도 21은 본 발명의 제9 실시예를 도시한 도면.

도 22는 본 발명의 제4 원리를 도시한 도면.

도 23의 (a)~(c)는 본 발명의 제10 실시예를 도시한 도면.

도 24의 (a) 및 (b)는 본 발명의 셀의 제2 원리를 도시한 도면.

도 25의 (a) 및 (b)는 본 발명의 셀의 제2 원리를 도시한 도면.

도 26은 본 발명의 제11 실시예를 도시한 도면.

도 27은 본 발명의 제11 실시예를 도시한 도면.

도 28은 본 발명의 제12 실시예를 도시한 도면.

도 29는 본 발명의 제12 실시예를 도시한 도면.

도 30은 종래의 기술을 도시한 도면.

#### <도면의 주요 부분에 대한 부호의 설명>

1 : 제1 논리 회로

2 : 제2 논리 회로

3 : 스탠바이 회로

4 : 스탠바이 단자(STAND-BY)

5 : 입력 단자(INPUT)

6 : 출력 단자(OUTPUT)

#### 발명의 상세한 설명

##### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 저소비 전력을 실현하는 CMOS 논리 회로와, 저소비 전력을 실현하는 CMOS 논리 회로를 생성하는 CAD(Computer Aided Design) 시스템에 관한 것이다.

CMOS 논리 게이트(셀)는 논리 동작 중에만 전력을 소비하고, 누설 전류가 존재하는 스탠바이 모드(대기 상태) 시에는 저소비 전력 특성을 보장한다. 따라서, CMOS 논리 게이트(셀)로 형성된 CMOS 논리 회로는 전원으로서 오랜 시간 동안 배터리를 사용하는 휴대용 단말기와 휴대 전화기와 같은 전자 기기에 유용한 LSI이다.

하지만, CMOS 논리 게이트는 전극의 용량을 충방전하여 논리 동작을 행하기 때문에, 논리 진폭이 전원 전압과 동일하게 될 때, 칩 전체의 소비 전력은 전원 전압의 제곱에 비례하여 증가하게 되고, 또한 게이트 수 및 동작 주파수에 비례하여 증가하게 된다. 따라서, 최근의 미세화 기술에 의해 다수의 트랜지스터를 집적화한 칩의 전력 소비가 극대화되고 있다.

이러한 극대화된 소비 전력을 감소시키기 위하여, CMOS 논리 회로의 전원 전압이나 논리 진폭을 저하시키는 잘 알려진 방법이 도입되고 있다. 하지만, 전원 전압이나 논리 진폭이 전술한 바와 같이 저하될 때, 트랜지스터의 포화 전류 또한 감소하게 되어, CMOS 논리 회로의 동작 속도는 큰 폭으로 저하된다. 이러한 포화 전류의 감소를 방지하기 위하여(즉, 저전원 전압 또는 저논리 진폭을 갖는 큰 포화 전류를 얻기 위하여), 트랜지스터의 문턱값을 저하시키는 방법이 고려되고 있다. 하지만, 이러한 경우, 트랜지스터의 문턱값의 강하는 컷오프 상태 시에 트랜지스터의 누설 전류의 증가를

야기시킨다. 즉, 고(高) 문턱값의 트랜지스터가 이용될 때, 회로의 동작 속도는 저하되지만 누설 전류는 제어될 수 있다. 그리고, 저(低) 문턱값의 트랜지스터가 이용될 때, 회로의 동작 속도는 고속이 되지만 누설 전류가 증가하게 된다.

따라서, 종래에는 고·저의 문턱값을 갖는 2개의 트랜지스터를 이용하여 회로의 동작 속도를 증가시키는 한편 누설 전류를 제어하는 방법이 고려되고 있다.

발명이 이루고자 하는 기술적 과제

하지만, 고·저의 문턱값을 갖는 트랜지스터를 이용하여 회로의 동작 속도를 증가시키는 한편 누설 전류를 제어할 때에는 이하와 같은 문제가 발생된다.

즉, 고·저의 문턱값을 갖는 트랜지스터를 이용하여 스탠바이 모드 시에 누설 전류를 제어하는 회로를 구성할 때, 회로의 동작 속도를 증가시킬 수 없는 경우가 있다. 이러한 경우의 회로의 예를 도 14에 도시한다.

도 14는 6개의 인버터가 직렬로 접속되어 있는 회로(즉, 인버터열)를 도시하고 있다.

도 14에 도시한 인버터의 열에는, 트랜지스터의 구성이 상이한 2종류의 인버터가 이용되고 있다. 2종류의 인버터 중 하나는 전원 전압에 접속된 저 문턱값의 트랜지스터(도면 중 ● 로 표시되었음)와, 접지 전위에 접속된 고 문턱값의 트랜지스터(도면 중 ○ 로 표시되었음)로 구성된 제1 인버터이다. 인버터를 표기하는 3각형의 내측에 있어서 상단부에 찍힌 ● 표시와, 하단부에 찍힌 ○ 표시가 기재된 인버터는 제1 인버터에 해당한다(이하, 이러한 구조의 인버터를 "제1 인버터"라 칭한다). 다른 인버터는 전원 전압에 접속된 고 문턱값의 트랜지스터(○ 로 표시되었음)와, 접지 전위에 접속된 저 문턱값의 트랜지스터(● 로 표시되었음)로 구성되어 있는 제2 인버터이다. 인버터를 표기하는 3각형의 내측에 있어서 상단부에 찍힌 ○ 표시와, 하단부에 찍힌 ● 표시가 기재된 인버터는 제2 인버터에 해당한다(이하, 이러한 구조의 인버터를 "제2 인버터"라 칭한다).

도 14의 (a)는 스탠바이 모드(대기 모드) 시에 외부 입력값이 "0"인 예를 도시하고 있다. 조합된 회로의 경우에는, 스탠바이 모드 동안 외부 입력값이 "0"으로 설정될 때, 이 조합된 회로의 전체 노드의 논리 값은 특정값을 취한다. 스탠바이 모드 시에 조합된 회로 내의 전체 노드의 논리값이 각각 미리 설정된 값인 경우를 "스탠바이 입력 상태"로 정의하고 있다.

스탠바이 입력 상태에 있어서, 회로 내의 전체 노드의 논리값은 각각 디폴트 값을 갖고 있기 때문에, 스탠바이 모드 시에 누설 전류를 효과적으로 제어할 수 있는 트랜지스터의 구조를 갖는 셀이 결정될 수 있다. 다시 말하면, 각 노드의 디폴트 논리 값을 이용하여, 각 셀 내에서 턴 온과 턴 오프를 하는 트랜지스터를 명확하게 정하는 것이 가능하다. 고 문턱값의 트랜지스터는 효과적으로 누설 전류를 제어할 수 있지만, 저 문턱값의 트랜지스터는 전술한 바와 같이 누설 전류를 제어할 수가 없다. 따라서, 고 문턱값의 트랜지스터가 스탠바이 입력 상태 시에 각 셀 내에서 턴 오프하도록 배치된다면, 스탠바이 모드 시에 누설 전류는 효과적으로 제어될 수 있다.

도 14의 (a)를 다시 설명한다. 인버터 열의 외부 입력 값이 "0"으로 있는 스탠바이 입력 상태가 도시되어 있다. 도면 중에 기재된 각 인버터의 우측에 인접한 숫자는 디폴트값으로 미리 정해진 각 노드의 논리값이다. 각 노드에 대한 논리 값을 달성하기 위해, 고 문턱값의 트랜지스터(○ 로 표시되었음)는 제1 인버터를 선두로하여 제1 인버터와 제2 인버터를 교대로 배치함으로써 항상 OFF 상태로 설정될 수 있다.

도 14의 (b)와 (c)는, 전술한 바와 같은 스탠바이 입력 상태를 이용하여 각 셀 내의 트랜지스터의 구조가 설정된 도 14의 (a)에 나타낸 인버터 열의 동작을 도시하고 있다.

도 14의 (b)는 "0"에서 "1"로 외부 입력 신호가 변화되는 천이 상태를 도시하고 있다. 이 도면 중에 도시된 "H"는 고 문턱값의 트랜지스터의 ON 상태를 도시한다. 즉, 외부 입력 신호가 "0"에서 "1"로 전환할 때, 6개의 트랜지스터 전체 중에서 고 문턱값의 트랜지스터는 턴 온되고, 저 문턱값의 트랜지스터는 턴 오프된다. 전술한 바와 같이, 외부 입력 신호가 "0"에서 "1"로 전환할 때, 고 문턱값의 트랜지스터는 회로의 전부분에 대하여 동작하므로, 회로의 동작 속도는 향상될 수 없다. 따라서, 천이 방향에서 동작 속도는 고 문턱값의 트랜지스터가 칩 전부분에 대하여 배치되는 경우와 다르지 않다.

도 14의 (c)는 외부 입력 신호가 "1"에서 "0"으로 전환하는 상태를 도시하고 있다. 이 도면 중에 도시된 "L"은 저 문턱값의 트랜지스터가 턴 온되는 것을 도시한다. 즉, 입력 신호가 "1"에서 "0"으로 전환될 때, 6개의 트랜지스터 전체 중에서 저 문턱값의 트랜지스터는 턴 온되고, 고 문턱값의 트랜지스터는 턴 오프된다. 전술한 바와 같이, 외부 입력 신호가 "1"에서 "0"으로 전환될 때, 저 문턱값의 트랜지스터는 회로의 전부분에 대하여 동작하므로, 회로의 동작 속도는 향상될 수 있다. 따라서, 천이 방향의 동작 속도는 저 문턱값의 트랜지스터만이 배치되는 경우와 같다. 이러한 경우, 고·저의 문턱값의 트랜지스터를 이용하는 셀을 형성함에 의해 얻어진 잇점 또한 효과적으로 획득될 수 있다.

그러나, 도 14의 (b)의 경우, 전술한 바와 같이 즉, 외부 입력 신호가 "0"에서 "1"로 전환될 때, 고 문턱값의 트랜지스터는 누설 전류를 제어하기 위하여 존재하기 때문에 동작 속도는 향상될 수 없다. 스태바이 입력 상태에서부터 동작 상태로의 천이 과정에는, 고 문턱값의 트랜지스터가 항상 구동하고 있기 때문에, 회로의 동작 속도가 저하된다.

특히, 신호 전파가 극소화되는 경로(최대 지연 경로)가 동기 회로 전체의 칩의 동작 속도를 결정하는 크리티컬 경로(critical path)로서 정의될 때, 예컨대 스태바이 입력 상태에서부터 동작 상태로의 천이 과정 중에 고 문턱값의 트랜지스터에 의해 연속적으로 구동된 경로가 크리티컬 경로로서 정의되는 경우가 많다. 따라서, 셀이 고속의 동작을 실현하는 한편 누설 전류를 제어하기 위하여 고·저 문턱값의 트랜지스터를 조합하여 형성될 때, 칩 전체의 동작 속도는 고 문턱값의 트랜지스터 때문에 향상될 수 없다. 이러한 경우, 동작 속도를 향상시키는 한편 누설 전류를 제어하고자 하는 견지에서 고·저 문턱값의 양 트랜지스터를 이용하는 것에 따른 칩 형성의 잇점을 얻기는 불가능하다. 전술한 바와 같이 칩의 소비 전력을 제어하기 위하여 고·저 문턱값의 트랜지스터를 완전히 이용하는 방법은 일본 특개평 HEI 9-46212호 공보에 개시되어 있다.

도 30은 종래 기술의 제1 실시예로서 일본 특개평 HEI 9-46212호의 버퍼 회로(일본 특개평 HEI 9-46212호의 공보 도 1에 도시되었음)를 도시하고 있다. 도면 부호 9, 10, 11 및 12는 저 문턱값의 MOS 트랜지스터로 형성된 인버터를, 13은 고 문턱값의 NMOS를, 14는 고 문턱값의 PMOS 트랜지스터를, 15는 저 문턱값의 PMOS 트랜지스터를, 16은 고 문턱값의 NMOS 트랜지스터를 나타내고 있다. CL 신호가 "1"이고, \*CL 신호가 "0" 일때, 트랜지스터(13, 14)는 턴 온하고, 인버터(9, 10, 11, 12)는 동작 상태가 된다. 인버터(9, 10, 11, 12)는 저 문턱값 전압의 MOS 트랜지스터이기 때문에, 그 동작 속도는 높다. 다음, CL 신호가 "0"이고, \*CL 신호가 "1" 일때, 트랜지스터(13, 14)는 턴 오프하고, 인버터(9, 10, 11, 13)는 스태바이(대기) 모드가 된다. 이러한 스태바이 모드 시에, 고 문턱값(13, 14)의 트랜지스터는 컷 오프(고 문턱값(13, 14)의 트랜지스터는 턴 오프하기 때문)되기 때문에, VDD로부터 인버터(9, 10, 11, 12)를 거쳐 GND로 흐르는 누설 전류는 효과적으로 차단된다.

그러나, 일본 특개평 HEI 9-46212호의 공보에 개시된 고·저 문턱값의 양 트랜지스터를 이용하여 누설 전류를 차단하는 방법(도 30에 개시된 종래 기술)은 이하의 문제를 갖고 있다.

첫째, 도 30에 도시한 일본 특개평 HEI 9-46212호 공보의 도 1에 도시된 버퍼 회로에 있어서, 고 문턱값(13, 14)의

트랜지스터의 크기는 인버터(9, 10, 11, 12)의 크기에 따라, 또 버퍼 회로의 특성이나 성능을 고려하여 최적화되어야 한다. 이러한 최적화는 버퍼 회로의 특성이나 성능을 평가하는 매우 어려운 과정에 의해 달성된다. 더욱이, 예컨대 신규 인버터의 추가등에 의해 회로가 변형될 때, 고 문턱값의 트랜지스터 크기는 회로의 특성이나 성능의 재평가에 의해 결정되어야 한다. 따라서, 일본 특개평 HEI 9-46212호의 공보에 개시된 방법으로서 기존의 CAD 시스템을 이용하여 회로의 설계를 실현하는 것은 매우 어렵다.

둘째, 고 문턱값의 신규 트랜지스터(13, 14)와, 고 문턱값의 트랜지스터(13, 14) 및 인버터(9, 10, 11, 12)를 접속시키는 새로운 신호 라인이 요구되기 때문에, 회로 영역이 증대되고, 반도체 회로의 제조 비용을 증가시키는 원인이 되고 있다.

따라서, 본 발명의 목적은 고·저 문턱값의 양 트랜지스터를 이용하여, 스탠바이 모드 시에 누설 전류를 효과적으로 제어할 수 있는 동시에, 상기 회로의 크리티컬 경로의 지연 시간을 단축하여 회로의 동작 속도를 향상시키고, 칩 전체의 성능의 향상을 도모하기 위한 회로를 제공함에 있다.

#### 발명의 구성 및 작용

본 발명은 제1 논리 회로와 제2 논리 회로 사이에 배치되며, 스탠바이 신호에 기초하여 제1 논리 회로의 출력 신호를 반전하여 제2 논리 회로에 입력시키는 스탠바이 회로에 그 특징이 있는 CMOS 논리 회로를 제공한다.

본 발명은 고·저 문턱값의 양 트랜지스터가 동작하는 제1 논리 회로와, 제1 논리 회로의 출력과 스탠바이 신호가 입력되는 스탠바이 회로와, 스탠바이 회로의 출력이 입력되어 고·저 문턱값의 트랜지스터를 동작시키는 제2 논리 회로를 포함하는데 그 특징이 있는 CMOS 논리 회로를 제공한다.

본 발명은 스탠바이 회로가 제1 논리 회로와 제2 논리 회로 사이에 제공되어, 스탠바이 신호에 따라서 제1 논리 회로의 출력 신호를 반전하여 이 반전된 신호를 제2 논리 회로에 입력시키는데 그 특징이 있는 CMOS 논리 회로의 동작 방법을 제공한다.

또한, 본 발명은 고·저 문턱값의 트랜지스터가 제1 논리 회로에서 동작되고, 제1 논리 회로의 출력과 스탠바이 신호가 스탠바이 회로에 입력되며, 스탠바이 회로의 출력이 제2 논리 회로에 입력되고, 고·저 문턱값의 트랜지스터가 제2 논리 회로에서 동작되는데 그 특징이 있는 CMOS 논리 회로의 동작 방법을 제공한다.

또한, 본 발명은 논리 회로가 제1 논리 회로와 제2 논리 회로로 분할되며, 스탠바이 회로가 제1 논리 회로와 제2 논리 회로 사이에 개재되고, 제1 논리 회로나 제2 논리 회로 내의 셀의 트랜지스터 구조가 변환되는데 그 특징이 있는 CMOS 논리 회로의 설계 방법이 제공된다.

본 발명은 논리 회로가 제1 논리 회로와 제2 논리 회로로 분할되고, 제1 논리 회로나 제2 논리 회로의 일부와 스탠바이 회로가 제3 논리 회로를 형성하기 위하여 합성되고, 회로의 일부는 제3 논리 회로로 치환되고, 제1 논리 회로나 제2 논리 회로의 셀 내의 트랜지스터의 구조가 변환되는데 그 특징이 있는 CMOS 논리 회로의 설계 방법이 제공된다.

본 발명의 반도체 집적 회로에 따르면, 스탠바이 모드 시에 누설 전류를 효과적으로 제어하는 회로는 고·저 문턱값의 양 트랜지스터를 이용하여 구성되며, 회로의 동작 속도는 회로의 크리티컬 경로의 지연 시간을 감소시킴으로써 향상될 수 있다.

본 발명은 도 30의 종래 기술과 관련하여 설명한 2가지의 문제점, 즉 첫째, 회로 특성을 평가하는 어려운 요구 때문에 기존의 CAD 시스템의 응용이 매우 어렵게 되는 문제점과, 둘째 신규 트랜지스터와 신호 라인이 요구되기 때문에 회로의 크기가 증대되는 문제점을 해소하기 위하여 제안된 것이다.

본 발명은 미리 설정된 신호 정보에 기초하여 논리 회로의 각 노드의 신호값을 산출하기 위하여 입력 신호로서 미리 설

정된 신호 정보와 논리 회로 정보를 수신하는 내부 신호 산출 수단과, 이 내부 신호 산출 수단에 의해 산출된 내부 신호를 입력 신호로서 수신하는 셀 치환 수단을 구비하며, 이 때 고·저 문턱값의 트랜지스터로 구성된 셀 내의 논리 회로 정보와 셀 정보는 논리 회로 내의 셀 치환을 통해 신규 논리 회로 정보를 출력하도록 등록되어 있는 것을 특징으로 하는 셀 치환 시스템을 제공한다.

본 발명은 트랜지스터 레벨에 설명된 회로 정보, 미리 설정된 신호 정보, 논리 합성에 필요한 정보 및 고·저 문턱값의 트랜지스터로 형성된 셀이 논리 합성을 실현하기 위하여 등록된 셀 정보를 입력으로서 수신하는 수단과, 미리 설정된 정보와 회로 내의 셀 치환을 이용하여 논리 회로의 각 노드의 신호값을 산출하는 내부 신호 산출 수단을 구비하는데 그 특징이 있는 셀 치환 시스템을 제공한다.

본 발명은 논리 회로 정보와 미리 설정된 신호 정보가 미리 설정된 신호 정보에 기초하여 논리 회로의 각 노드의 신호값을 산출하기 위하여 입력되며, 더욱이, 산출된 내부 신호값, 논리 회로 정보 및 고·저 문턱값의 트랜지스터로 형성된 셀이 등록되어 있는 셀 정보가 논리 회로 내의 셀의 치환을 통해 신규 논리 회로 정보를 출력시키기 위하여 입력되는데 그 특징이 있는 회로 내의 셀의 치환에 의해 신규 논리 회로 정보를 출력시키는 셀 치환 방법을 제공한다.

본 발명은 트랜지스터 레벨에 설명된 회로 정보, 미리 설정된 신호 정보와 논리 합성에 요구되는 정보 및 고·저 문턱값의 트랜지스터를 형성하는 셀이 등록되어 있는 셀 정보가 논리 합성을 실현하기 위하여 입력되며, 미리 설정된 신호 정보와 회로 내의 셀의 치환을 이용하여 논리 회로의 각 노드의 신호값을 산출하는 내부 신호 산출 방법에 그 특징이 있는 회로 내의 셀의 치환을 통해 논리 회로 정보를 출력시키는 셀 치환 방법을 제공한다.

본 발명은 미리 설정된 신호 정보와 산출된 내부 신호값에 기초하여 논리 회로의 각 노드의 신호값을 산출하기 위하여, 논리 회로 정보와 미리 설정된 신호 정보가 입력되며, 논리 회로와, 고·저 문턱값의 트랜지스터로 형성된 셀이 등록된 셀 정보가 논리 회로 내의 셀의 치환을 통해 신규 논리 회로 정보를 출력시키기 위하여 입력되는데 그 특징이 있는 회로 내의 셀의 치환을 통해 신규 논리 회로를 출력시키는 셀 치환을 기록하는 기록 매체를 제공한다.

본 발명은 트랜지스터 레벨에 설명된 회로 정보, 미리 설정된 신호 정보, 논리 합성에 필요한 정보 및 고·저 문턱값의 트랜지스터로 형성된 셀이 등록되어 있는 셀 정보가 미리 설정된 정보와 회로에 셀의 치환에 기초하여 논리 회로의 각 노드의 신호값을 산출하도록 내부 신호 산출을 실현하기 위하여 입력되는데 그 특징이 있는 회로 내의 치환을 통해 논리 회로 정보를 출력시키는 셀 치환 프로그램이 기록된 기록 매체를 제공한다.

본 발명의 셀 치환 시스템에 따르면, 스탠바이 모드 시에 누설 전류를 효과적으로 차단할 수 있으며 기능의 정확성을 유지할 수 있는 논리 회로는 기존의 논리 회로로부터 설계될 수 있다. 더욱이, 본 발명의 셀 치환 시스템에 따르면, 기존의 CAD 시스템이 쉽게 이용될 수 있으며, 탁월한 저 소비 전력 특성을 갖는 반도체 회로는 단지 셀 치환만이 행해지기 때문에(필요한 경우 편 치환이 행해진다), 회로의 크기가 증대하는 일 없이 설계될 수가 있다. 또한, 본 발명의 셀 치환 시스템에 따르면, 논리 합성과 셀 치환은 동시에 행해질 수 있으며, 게다가 회로 설계에 필요한 시간은 단축될 수 있다.

이러한 본 발명의 목적과 잇점은 첨부된 도면을 참조한 이하의 설명으로부터 명백해질 것이다.

이하, 본 발명의 바람직한 실시예를 도면을 참조하여 상세하게 설명할 것이며, 각 도면 전체 중 동일한 구성 요소에는 동일한 도면 부호를 병기하였다.

도 1은 본 발명의 기본도이다. 도 1에 도시된 기본 개념은 입력 단자(INPUT) (5), 제1 논리 회로(1), 스탠바이 단자(STAND-BY) (4), 스탠바이 회로(3), 제2 논리 회로(2) 및 출력 단자(OUTPUT) (6)로 구성되어 있다. 스탠바이 회로(3)는 제1 논리 회로(1)와 제2 논리 회로(2) 사이에 배치되어, 스탠바이 단자(4)로부터 스탠바이 신호를 수신한다.

스탠바이 신호는 회로가 스탠바이(대기) 모드나 동작 모드에 있다는 것을 나타낸다. 더욱이, 스탠바이 회로(3)는 제1



논리 회로(1)로부터 수신된 입력 신호를 반전시켜 이 반전된 신호를 제2 논리 회로(2)에 입력시키는 기능을 갖는다. 스탠바이 모드 시, 스탠바이 신호는 스탠바이 모드가 적용된다는 것을 나타낸다(이러한 상태를 "스탠바이 신호가 유효하다"라고 표현한다). 이에 의해, 제2 논리 회로(2)로의 입력 신호는 스탠바이 회로(3)에 의해 반전된다. 동작 모드 시에, 스탠바이 신호는 동작 모드가 적용되고(이러한 상태를 "스탠바이 신호는 무효하다"라고 표현한다), 스탠바이 회로(3)에 의한 신호 반전이 행해지지 않음을 나타낸다. 다시 말하면, 스탠바이 회로(3)는 동작 모드 시에는 버퍼의 역할만을 한다. 이러한 스탠바이 신호와 스탠바이 회로(3) 사이의 대응 관계를 표 1에 도시하였다.

[표 1]

스탠바이 신호	스탠바이 회로의 입력	스탠바이 회로의 출력
유효	A	
무효	A	A

표 1은 스탠바이 신호가 유효할 때, 즉 스탠바이 모드가 설정될 때, 제1 논리 회로(1)로부터 스탠바이 회로(3)로의 입력 신호는 A이며, 스탠바이 회로(3)의 출력 신호는  $\neg A$  ("A 바")임을 나타내고 있다( $\neg A$ 는 A의 반전값이며, 도면 중에는 A 바로 표시하였음). 이하, "/"는 바로서 칭하며, "/" 후에 기재된 값이 반전된 값이다. 스탠바이 신호가 무효일 때, 즉 동작 모드가 설정될 때, 제1 논리 회로(1)로부터 스탠바이 회로(3)로의 입력 신호는 반전없는 A로서 출력된다. 전술한 바와 같이, 스탠바이 신호가 유효일 때, 스탠바이 회로는 입력 신호 A를 반전시켜 출력  $\neg A$ 를 제공하고, 스탠바이 신호가 무효일 때 신호 A의 반전 없이 신호 A를 제공한다. 표 1에 도시한 논리 기능을 스탠바이 회로가 가질 필요가 있다.

도 1에 도시한 회로 구조는 본 발명의 제1 원리이다.

도 1의 도시한 본 발명의 회로 구조가 전술한 문제점들을 어떻게 해결하는 지를 도 2와 도 3을 참조하여 설명한다.

도 2와 도 3은 본 발명의 제1 실시예이다.

도 2는 스탠바이 모드 시에 외부 입력값(INPUT 5)이 "0"이고, 스탠바이 신호(STAND-BY 4에서)가 "0"으로 설정되어 유효 스탠바이 신호를 제공하는 스탠바이 입력 상태 시의 회로를 도시하고 있다. 또한, 도 3은 스탠바이 신호가 무효화 스탠바이 신호를 제공하기 위하여 "1"로 설정된 도 2 회로의 동작 모드의 상태를 도시하고 있다.

도 2와 도 3에 이용된 도면 부호는 도 1의 도면 부호와 일치하며, 회로 구조 또한 일치하고 있다. 즉, 회로는, 입력 단자(5)에 접속되고 직렬로 접속된 3개의 인버터로 구성된 제1 논리 회로(1), 출력 단자(6)에 접속되고 직렬로 접속된 3개의 인버터로 구성된 제2 논리 회로(2), 및 제1 논리 회로(1)와 제2 논리 회로(2) 사이에 배치된 AND 게이트(3)로 구성된 스탠바이 회로로 구성되어 있다.

도 2와 도 3에 도시한 회로 구조는 도 14에 도시한 바와 같이, 입력 단자(5)와 출력 단자(6) 사이에 배치되어 직렬로 접속된 6개의 인버터로 구성된 논리 회로를 전단부에 3개의 인버터로 구성된 제1 논리 회로(1)와, 후단부에 3개의 인버터로 구성된 제2 논리 회로(2)로 분할하고, 이들 사이에 스탠바이 회로(3)를 삽입한 구조이다. 게다가, 본 회로의 구조에 있어서, 제2 논리 회로(2)의 각각의 인버터로서 이용된 트랜지스터의 구조는 도 14의 트랜지스터의 구조와 구별된다. 도 14에서는, 후단부의 3개의 인버터는 제2 인버터, 제1 인버터 및 제2 인버터의 순으로 배치되어 있지만, 도 2와 도 3에서는 제2 논리 회로(2)의 3개의 인버터는 제1 인버터, 제2 인버터 및 제1 인버터의 순으로 배치되어 있다. 이것은 스탠바이 회로가 삽입되어 있기 때문이다. 스탠바이 회로의 삽입에 의해, 스탠바이 모드 시에 제1 논리 회로(1)로부터 출력된 신호는 반전된 다음 제2 논리 회로(2)에 공급된다. 도 14에 도시한 후단부의 인버터의 배치에서, 저 문턱값의 트랜지스터( $\bullet$ 로 표시됨)는 턴 오프되어 누설 전류를 제어할 수 없다. 스탠바이 모드 시에 누설 전류를 제어하기 위하여, 스탠바이 모드 시에 고 문턱값의 인버터( $\circ$ 로 표시된 트랜지스터)를 턴 오프시키는 구조가 제공될 필요가 있다. 따라서, 인버터의 배치는 스탠바이 모드 시에 고 문턱값의 인버터( $\circ$ 로 표시된 트랜지스터)가 턴 오프하도록 도 14에 도시된 배치로부터 변경된다.

이제, 도 3을 참조하여, 한 개의 회로가 2개의 구역으로 분할되고, 스탠바이 회로가 그 사이에 삽입되며, 분할된 회로의 트랜지스터의 구조가 변경되는 이유를 설명한다.

도 3의 (a)는 입력 신호(INPUT 5에서)가 "0"에서 "1"로 전환하는 동작 상태를 도시하고 있는 한편, 도 3의 (b)는 입력 신호(INPUT 5에서)가 "1"에서 "0"으로 전환하는 동작 상태를 도시하고 있다. 도 3의 (a)와 (b)에 있어서, STAND-BY 4에서 스탠바이 신호는 무효이기 때문에, 신호는 스탠바이 회로(AND 게이트)(3)에 의해 반전되지 않고, 스탠바이 회로(AND 게이트)(3)는 버퍼의 역할을 한다.

도 3의 (a)에 있어서, 제1 논리 회로(1)는 전체의 인버터에 대하여, 고 문턱값의 트랜지스터를 턴 온시키고, 저 문턱값의 트랜지스터를 턴 오프시킨다. 즉, 고 문턱값의 트랜지스터는 제1 논리 회로(1)의 전부분에 대하여 동작한다. 도 3의 (a)의 제2 논리 회로(2)는 전체의 인버터에 대하여, 고 문턱값의 트랜지스터를 턴 오프시킨다. 즉, 저 문턱값의 트랜지스터는 제2 논리 회로(2)의 전부분에 대하여 동작한다. 따라서, 제1 논리 회로(1)에 있어서, 회로 동작 속도에서의 추가의 향상은 실현될 수 없지만, 제2 논리 회로(2)에서의 회로 동작 속도의 향상은 실현될 수 있다.

도 3의 (b)에 있어서, 제1 논리 회로(1)는 전체의 인버터에 대하여, 저 문턱값의 트랜지스터를 턴 온시키지만, 고 문턱값의 트랜지스터를 턴 오프시킨다. 즉, 저 문턱값의 트랜지스터는 제1 논리 회로(1)의 전부분에 대하여 동작한다. 도 3의 (b)의 제2 논리 회로(2)는 전체의 인버터에 대하여, 고 문턱값의 트랜지스터를 턴 온시키지만, 저 문턱값의 트랜지스터를 턴 오프시킨다. 즉, 고 문턱값의 트랜지스터는 제2 논리 회로(2)의 전부분에 대하여 동작한다. 따라서, 제1 논리 회로(1)에 있어서, 회로 동작 속도에서의 향상은 실현될 수 있지만, 그러한 향상은 제2 논리 회로(2)에서는 실현될 수 없다.

도 14에 도시한 인버터 열에 있어서, 이러한 인버터는 도 14의 (b)의 동작 상태가 스탠바이 입력 상태에서부터 동작 상태로의 천이 과정을 나타내기 때문에 크리티컬 경로로서 간주된다. 불행하게도, 이러한 저속 동작의 인버터 열의 동작은 칩 전체의 성능을 결정할 수 있으며, 이것은 칩의 성능을 크게 열화시킬 수 있다. 그러나, 도 3에 도시한 바와 같이, 도 14에 도시한 인버터 열이 2개의 구역으로 분할되고, 스탠바이 회로가 2개의 구역 사이에 삽입되며, 분할된 회로의 셀 내의 트랜지스터의 구조가 본 발명의 경우와 같이 변경될 때, 고 문턱값의 트랜지스터는 인버터 열의 반에서(in the half of the inverter line) 동작한다. 즉, 회로 동작 속도의 열화의 원인은 반으로 감소된다. 따라서, 크리티컬 경로로서 판단된 그러한 인버터 열의 위험은 감소될 수 있다. 이러한 위험의 감소에 의해, 큰 지연을 야기한 다른 경로가 크리티컬 경로로 판단될 가능성이 커진다. 그러나, 큰 지연을 야기시킬 수 있는 다른 경로에 대하여 본 발명이 적용되면, 그러한 큰 지연을 야기시킬 수 있는 경로의 지연이 감소될 수 있으며 크리티컬 경로로 판단되는 위험을 피할 수 있게 된다. 이러한 과정을 반복 처리함에 의해, 크리티컬 경로로 판단될 임의의 경로의 지연은 빠르게 감소될 수 있으며, 회로의 동작 속도와 전체 반도체 회로의 성능이 향상된다.

전술한 바와 같이, 저속의 동작 속도를 갖는 논리 회로를 분할하고 그 사이에 스탠바이 회로를 삽입하는 과정(도 1에 도시한 본 발명의 원리)을 반복하는 본 발명을 적용시킴으로써, 크리티컬 경로의 지연은 감소될 수 있으며, 전체의 반도체 회로의 동작 속도는 향상될 수 있고, 반도체 회로의 성능은 향상되어 본 발명의 목적이 달성된다.

도 4와 도 5는 본 발명의 제2 실시예를 도시하고 있다.

도 4는 스탠바이 모드 시에 외부 입력값(INPUT 5에서)이 "1"인 스탠바이 입력 상태의 회로를 도시하고 있다. 이러한 도면에 있어서, 스탠바이 신호는 스탠바이 신호를 유효화하기 위하여 "1"로 설정된다. 더욱이, 도 5는 도 4에 도시한 회로의 동작 상태를 도시하고 있다. 도 5에 있어서, 스탠바이 신호는 스탠바이 신호를 무효화하기 위하여 "0"으로 설정된다.

도 4와 도 5의 도면 부호는 도 1의 도면 부호와 일치하고, 그 회로 구조도 일치한다. 즉, 회로는, 입력 단자(5)에 접속되고 직렬로 접속된 3개의 인버터로 구성된 제1 논리 회로, 출력 단자(6)에 접속되며 직렬로 접속된 3개의 인버터로 구성된 제2 논리 회로, 및 제1 논리 회로(1)와 제2 논리 회로(2) 사이에 접속되고 OR 게이트로 구성된 스태바이 회로(3)로 구성되어 있다.

도 4와 도 5에 도시한 회로 구조는 도 14에 도시한 바와 같이 입력 단자(5)와 출력 단자(6) 사이에 배치되고 직렬로 접속된 6개의 인버터로 구성되어 있는 논리 회로를, 전단부에 3개의 인버터로 구성된 제1 논리 회로(1)와 후단부에 3개의 인버터로 구성된 제2 논리 회로(2)로 분할하고, 이들 2개의 논리 회로 사이에 스태바이 회로(3)를 삽입한 구조이다. 하지만, 도 14에 도시한 6개의 인버터로 구성된 회로의 제1 인버터와 제2 인버터의 교대 순서는 도 4와 도 5에서는 그 반대로 되어 있다. 즉, 제1 논리 회로(1)의 인버터의 교대 순서는 제2 인버터가 선두로 된다. 도 4와 도 5의 스태바이 입력 상태는 입력 단자(5)에서 외부 입력 값이 "1"일 때, 도 14와 같이 "0"이 아니다. 스태바이 회로(OR 게이트)의 삽입에 의해, 제1 논리 회로(1)로부터 출력된 신호는 반전되고, 스태바이 모드 시, 입력 단자(5)에 "1" 및 스태바이 단자(4)에 "1"로서 제2 논리 회로에 공급된다.

도 14에 있어서, 저 문턱값 트랜지스터(●로 표시된 트랜지스터)는 항상 턴 오프로서 누설 전류는 차단될 수 없다. 입력 단자(5)에서 외부 입력 신호가 "1"인 스태바이 모드시에 누설 전류를 제어하기 위하여, 고 문턱값의 인버터(○로 표시된 트랜지스터)가 그 스태바이 모드 시에 항상 턴 오프되는 구조가 요구된다. 따라서, 제1 논리 회로(1)의 인버터의 교대 배치 순서는 고 문턱값의 인버터(○로 표시된 트랜지스터)가 스태바이 모드 시에 턴 오프하도록 도 14에 도시된 회로의 교대 순서와는 다르게 설정된다.

이하, 도 5를 참조하여 한 개의 회로가 2개의 구역으로 분할되고 이 2개의 회로 사이에 스태바이 회로가 삽입되며, 분할된 회로 내의 트랜지스터의 구조가 전술한 바와 같은 배치를 갖는 이유에 대하여 설명한다.

도 5의 (a)는 입력 단자(5)에서 입력 신호가 "1"에서 "0"으로 전환하는 동작 상태를 도시하고 있는 한편, 도 5의 (b)는 입력 단자(5)에서 입력 신호가 "0"에서 "1"로 전환하는 동작 상태를 도시하고 있다. 도 5의 (a)와 (b)에 있어서, 스태바이 단자(4)에서 스태바이 신호가 무효이고 스태바이 회로(OR 게이트) (3)는 버퍼의 역할을 하기 때문에, 신호는 스태바이 회로(OR 게이트) (3)에 의해 반전되지 않는다.

도 5의 (a)의 제1 논리 회로(1)에 있어서, 인버터 전체에서 고 문턱값의 트랜지스터는 턴 온하고, 저 문턱값의 트랜지스터는 턴 오프한다. 즉, 고 문턱값의 트랜지스터는 제1 논리 회로(1)의 전부분에 대하여 동작한다. 도 5의 (a)의 논리 회로(2)에 있어서, 인버터 전체에서 저 문턱값의 트랜지스터는 턴 온하고, 고 문턱값의 트랜지스터는 턴 오프한다. 즉, 저 문턱값의 트랜지스터는 제2 논리 회로(2)의 전부분에 대하여 동작한다. 따라서, 제1 논리 회로(1)에서, 회로의 동작 속도는 향상될 수 없지만, 제2 논리 회로에서의 회로 동작 속도는 향상될 수 있다.

도 5의 (b)의 제1 논리 회로(1)에 있어서, 인버터 전체에서 저 문턱값의 트랜지스터는 턴 온하고, 고 문턱값의 트랜지스터는 턴 오프한다. 즉, 저 문턱값의 트랜지스터는 제1 논리 회로(1)의 전부분에 대하여 동작한다. 도 5의 (b)의 논리 회로(2)에 있어서, 인버터 전체에서 고 문턱값의 트랜지스터는 턴 온하고, 저 문턱값의 트랜지스터는 턴 오프한다. 즉, 고 문턱값의 트랜지스터는 제2 논리 회로(2)의 전부분에 대하여 동작한다. 따라서, 제1 논리 회로(1)에서 회로의 동작 속도는 향상될 수 있지만, 제2 논리 회로에서의 회로 동작 속도는 향상될 수 없다.

전술한 바와 같이, 논리 회로를 분할하고 크리티컬 경로로 판단되는 경로에 스태바이 회로를 삽입하는 본 발명의 제1 원리에 따르면, 크리티컬 경로의 지연은 감소될 수 있으며, 반도체 회로의 전체 동작 속도는 향상될 수 있고, 반도체 회로의 성능은 향상되어 본 발명의 목적이 달성된다.

도 2에 있어서, 스텐바이 단자(4)에서 스텐바이 신호는 스텐바이 신호를 유효화하기 위해 "0"으로 설정되고, 스텐바이 모드 시에 입력 단자(5)에서 외부 입력값은 스텐바이 입력 상태를 형성하기 위하여 "0"으로 설정된다. 도 4에 있어서, 스텐바이 단자(4)에서 스텐바이 신호는 스텐바이 신호를 유효화하기 위해 "1"로 설정되고, 스텐바이 모드 시에 입력 단자(5)에서 외부 입력값은 스텐바이 입력 상태를 형성하기 위하여 "1"로 설정된다.

스텐바이 모드 동안 외부 입력값과 스텐바이 신호 합성은 회로 설계자에 의해 자유롭게 결정될 수 있다. 기본적으로, 스텐바이 회로(3)에 의해 달성된 논리 기능은 스텐바이 모드 시에 전단부의 회로로부터 출력된 신호를 반전시킨 다음 이 반전된 신호를 후단부의 논리 회로에 입력시키며, 동작 모드 시에 전단부의 회로의 출력을 후단부의 회로에 직접 전달시킨다. 이러한 방법으로, 본 발명의 효과가 완전히 발휘될 수 있다. 이러한 스텐바이 회로의 논리 기능은 배타적 논리화 OR(XOR)의 논리를 갖는 스텐바이 회로의 기능과 동일하다고 말할 수 있다. 스텐바이 회로(3)가 도 2와 같이 AND 게이트일 때와 스텐바이 회로(3)가 도 4와 같이 OR 게이트일 때의 각각에 있어서, 스텐바이 회로에 입력되는 입력 신호와 스텐바이 신호 및 스텐바이 회로로부터의 출력 신호를 요약한 표 2에는 본 발명에 따른 스텐바이 회로(3)의 논리 기능의 배타적 논리화 OR(XOR)의 속성이 나타나 있다.

[표 2]

게이트 종류	스텐바이 회로의 입력 신호	스텐바이 신호	스텐바이 신호 유효/무효	스텐바이 회로로부터의 출력 신호	출력 신호 반전/비반전	케이스 번호
2 입력 AND	0	0	유효	0	비반전	1
	0	1	무효	0	비반전	2
	1	0	유효	0	반전	3
	1	1	무효	1	비반전	4
2 입력 OR	0	0	무효	0	비반전	5
	0	1	유효	1	반전	6
	1	0	무효	1	비반전	7
	1	1	유효	1	비반전	8

이하, 표 2의 내용을 설명한다.

스텐바이 회로(3)가 2 입력 AND 게이트로서 형성된 경우, 만일 스텐바이 단자(4)에서 스텐바이 신호가 "0"이라면(스텐바이 신호가 유효일 때), 제1 논리 회로(1)로부터 스텐바이 회로(3)로의 입력 신호는 반전 신호(케이스 번호 3에 해당)로서 출력되며, 만일 스텐바이 신호가 "1"이라면(스텐바이 신호가 무효일 때), 입력 신호는 반전되지 않는다(케이스 번호 2와 4에 해당).

스텐바이 회로(3)가 2 입력 OR 게이트로서 형성된 경우, 만일 스텐바이 단자(4)에서 스텐바이 신호가 "1"이라면, 제1 논리 회로(1)로부터 스텐바이 회로(3)로의 입력 신호는 반전 신호(케이스 번호 6에 해당)로서 출력되며, 만일 스텐바이 신호가 "0"이라면(스텐바이 신호가 무효일 때), 입력 신호는 반전되지 않는다(케이스 번호 5와 7에 해당).

표 2에 있어서, 설계자가 유효화 스텐바이 신호로서 "0"을 이용하고자 할 때 AND 게이트를 이용하는 것이 좋으며, 만일 설계자가 유효화 스텐바이 신호로서 "1"을 이용하고자 할 때 OR 게이트를 이용하는 것이 좋다는 것은 쉽게 이해될 수 있을 것이다.

도 6과 도 7은 본 발명의 제3 실시예이다.

도 8과 도 9는 본 발명의 제4 실시예이다.

도 2와 도 4에 있어서, AND 게이트와 OR 게이트 등으로 여분의 스텐바이 회로(3)가 각각 삽입되지만, 도 6과 도 7에 도시한 제3 실시예 및 도 8과 도 9에 도시한 제4 실시예에 있어서, 여분의 스텐바이 회로(3)는 삽입되지 않고 있으며, 본 발명을 구현하기 위하여 기존의 인버터 중의 하나가 NOR 게이트로 치환되어 있다.

도 6의 (a)에 도시한 인버터 열의 좌측으로부터 세번째 인버터는 도 6의 (b)에 도시한 바와 같은 NOR 게이트로 치환되어 있다. 도 6의 (b)에 도시한 스탠바이 신호는 유효화 스탠바이 신호를 나타낸다.

또한, 도 8의 (a)에 도시한 인버터 열의 좌측으로부터 세번째 인버터는 도 8의 (b)에 도시한 바와 같은 NAND 게이트로 치환되어 있다. 도 8의 (b)에 도시한 /STAND-BY(스탠바이 바)는 유효화 스탠바이 신호를 나타낸다.

도 6의 (b)의 유효화 스탠바이 신호는 "1"이고, 도 8의 (b)에 도시한 유효화 스탠바이 신호는 "0"이기 때문에; 도 8의 (b)의 유효화 스탠바이 신호는 /STAND-BY(스탠바이 바)로서 표현된다.

도 10을 참조하여, 도 6의 (b)에 도시한 바와 같이 인버터가 NOR 게이트로 치환될 수 있는 이유와, 도 8의 (b)에 도시한 바와 같이 인버터가 NAND 게이트로 치환될 수 있는 이유에 대하여 설명한다.

AND 게이트가 스탠바이 회로(3)로서 삽입되는 도 2와 도 3에 도시한 제1 실시예 및 OR 게이트가 스탠바이 회로(3)로서 삽입되는 도 4와 도 5에 도시한 제2 실시예에 있어서, AND 게이트 또는 OR 게이트의 첨가로 인한 지연에 의해 동작 속도가 저하된다는 단점이 있다. 하지만, 도 6과 도 7에 도시한 제3 실시예 및 도 8과 도 9에 도시한 제4 실시예에서는 기존의 인버터가 다른 게이트로 치환되기 때문에 상기한 단점이 제거될 수 있다.

도 7은 도 6의 (b)에서 이용된 NOR 게이트의 트랜지스터 구조를 도시하고 있다.

도 7에 도시한 NOR 게이트는 고 문턱값의 PMOS 트랜지스터(10), 저 문턱값의 PMOS 트랜지스터(11) 및 저 문턱값의 NMOS 트랜지스터(12, 13)로 구성되어 있다. 제1 입력 단자(A1)는 PMOS 트랜지스터(11)의 게이트와 NMOS 트랜지스터(12)의 게이트에 접속되어 있다. 제2 입력 단자(A2)는 PMOS 트랜지스터(10)의 게이트와 NMOS 트랜지스터(13)의 게이트에 접속되어 있다. PMOS 트랜지스터(11)의 소스 또는 드레인과 NMOS 트랜지스터(12)의 드레인 또는 소스가 접속된 노드는 저 문턱값의 NMOS 트랜지스터(13)의 소스 또는 드레인과 출력 단자(OUTPUT)에 접속되어 있다.

저 문턱값의 트랜지스터(11, 12, 13)가 접지 전위측에 제공되고, 고 문턱값의 트랜지스터(10)가 전원측에 제공된다. 즉, 전원측으로부터 접지 전위에 흐르는 전류는 저 문턱값의 트랜지스터(11, 12, 13) 중의 어떤 하나를 통과할 때에도 고 문턱값의 트랜지스터(10)를 항상 통과한다. 이러한 구조는, 스탠바이 모드 시에 전원측에 제공된 고 문턱값의 트랜지스터(10)를 턴 오프시킴으로써 전원측으로부터 접지 전위측에 흐르는 누설 전류를 제어할 수 있다는 것을 나타낸다.

도 7에 도시한 바와 같은 NOR 게이트는 도 6에 도시한 NOR 게이트의 예로서 이용되고 있다. 유효화 스탠바이 신호 "1"은 누설 전류를 제어하기 위하여, 고 문턱값의 트랜지스터(10)를 턴 오프하도록 제2 입력 단자(A2)에 제공되어 있다.

도 9는 도 8에 이용된 NAND 게이트 트랜지스터의 구조를 도시하고 있다.

도 9에 도시한 NAND 게이트는 저 문턱값의 PMOS 트랜지스터(14, 15), 저 문턱값의 NMOS 트랜지스터(16) 및 고 문턱값의 NMOS 트랜지스터(17)로 구성되어 있다. 제1 입력 단자(A1)는 PMOS 트랜지스터(14)의 게이트와 NMOS 트랜지스터(16)의 게이트에 접속되어 있다. 제2 입력 단자(A2)는 PMOS 트랜지스터(15)의 게이트와 NMOS 트랜지스터(17)의 게이트에 접속되어 있다. PMOS 트랜지스터(14)의 소스 또는 드레인과 NMOS 트랜지스터(16)의 드레인 또는 소스가 접속된 노드는 PMOS 트랜지스터(15)의 소스 또는 드레인과 출력 단자(OUTPUT)에 접속되어 있다.

전술한 바와 같이, 저 문턱값의 트랜지스터(14, 15, 16)가 전원측에 제공되고, 고 문턱값의 트랜지스터(17)는 접지 전위측에 제공된다. 즉, 전원측으로부터 접지 전위에 흐르는 전류는 저 문턱값의 트랜지스터(14, 15, 16) 중의 어떤 하나

를 통과할 때에도 고 문턱값의 트랜지스터(17)를 항상 통과한다. 이러한 구조는, 스탠바이 모드 시에 접지 전위측에 제공된 고 문턱값의 트랜지스터(17)를 턴 오프시킴으로써 전원측으로부터 접지 전위측에 흐르는 누설 전류를 제어할 수 있다는 것을 나타낸다.

도 9에 도시한 바와 같은 NAND 게이트는 도 8에 도시한 NAND 게이트용으로 사용되고 있다. 스탠바이 모드 시에는 제2 입력 단자(A2)에 유효화 스탠바이 신호 "0"이 공급되고, 고 문턱값의 트랜지스터(17)가 턴 오프하여 누설 전류가 제어된다.

도 10은 도 6과 도 7에 도시한 제3 실시예와 도 8과 도 9에 도시한 제4 실시예를 도시하고 있다.

도 10의 (a)는 도 6에 도시한 제3 인버터가 NOR 게이트로 치환될 수 있는 이유를 도시하고 있다.

도 10의 (a)의 1은 인버터의 출력에 AND 게이트가 스탠바이 회로로서 삽입된 회로를 도시하고 있다. AND 게이트가 표 2에 관하여 설명한 논리에 따라 스탠바이 회로에 이용될 때, 유효화 스탠바이 신호는 "0"이 된다. 따라서, 도 10의 (a) (1)에서, 스탠바이 신호는 /STAND-BY(스탠바이 바)로서 표현된다.

도 10의 (a)의 (2)에 있어서, 도 10의 (a)의 (1)에 의해 표시된 입력 신호 A는 인버터에 의해 /A(A 바)로 반전되고, 반전된 입력 신호 /A(A 바)와 스탠바이 신호 /STAND-BY(스탠바이 바)는 AND 게이트에 입력된다.

도 10의 (a)의 (3)에 있어서, 도 10의 (a)의 (1)에 도시한 회로는 등가의 NOR 게이트로 치환된다. 도 10의 (a)의 (2)로부터 도 10의 (a)의 (3)으로의 치환은 드 모르건(de Morgan)의 정리로 설명될 수 있다. 드 모르건의 정리는 수학적 식 1로 표현된다.

수학적 식 1

$$\begin{aligned} \overline{A+B} &= \overline{A} \cdot \overline{B} \\ \overline{A \cdot B} &= \overline{A} + \overline{B} \end{aligned}$$

도 10의 (a)에 도시한 /STAND-BY(스탠바이 바)와 /A(A 바)가 AND 게이트에 입력되는 관계는 이하에 표현된 드 모르건의 정리에 적용될 수 있다.

수학적 식 2

$$\overline{A \cdot \text{STAND-BY}} = \overline{A} + \overline{\text{STAND-BY}}$$

수학적 식 2의 우측은 NOR 게이트의 논리 기능을 나타내며, 인버터와 AND 게이트로 구성된 스탠바이 회로는 드 모르건 정리에 따라 NOR 게이트로 치환될 수 있다.

도 10의 (b)는 도 8에 도시한 제3 인버터가 NAND 게이트로 치환될 수 있는 지를 나타내고 있다.

도 10의 (b)의 (1)은 인버터의 출력에 OR 게이트가 스탠바이 회로로서 삽입되는 회로를 도시하고 있다. 표 2에 설명한 논리로부터, OR 게이트가 스탠바이 회로에 이용될 때, 유효화 스탠바이 신호는 "1"이 된다. 따라서, 도 10의 (b)의 (1)에서 스탠바이 신호는 STAND-BY로서 표현된다.

도 10의 (a)의 (1)에 표시된 입력 신호 A가 /A(A 바)로 반전되고, 이 반전된 입력 신호 /A와 스탠바이 신호 STAND-BY는 OR 게이트에 입력된다.

도 10의 (b)의 (3)에 있어서, 도 10의 (b)의 (2)에 도시한 회로는 등가의 NAND 게이트로 치환된다. 도 10의 (b)의 (2)로부터 도 10의 (b)의 (3)으로의 치환은 드 모르겐 정리로부터 설명될 수 있다.

도 10의 (b)의 (2)에 도시한 STAND-BY와 /A가 OR 게이트에 입력되는 관계는 이하에 표현된 드 모르겐 정리에 적용될 수 있다.

수학식 3

$$\overline{A + \text{STAND-BY}} = \overline{A} \cdot \overline{\text{STAND-BY}}$$

수학식 3의 우측은 NAND 게이트의 논리 기능과 드 모르겐 정리에 의해 OR 게이트로 구성된 스탠바이 회로는 NAND 게이트로 치환될 수 있다는 것을 설명하고 있다.

도 11은 NOR 게이트의 치환과 NAND 게이트이 치환의 일반적인 흐름을 도시하고 있다.

도 11의 (a)에 있어서, 논리 회로(1)의 출력 신호 A는 반전된 다음 /A로서 출력된다.

도 11의 (b)에 있어서, 스탠바이 신호 /STAND-BY로서 출력 신호를 "0"으로 클립프하는 AND 게이트 또는 스탠바이 신호로서 출력 신호를 "1"로 클립프하는 OR 게이트는 스탠바이 회로로서 제1 논리 회로(1)의 출력에 접속된다.

도 11의 (c)에서는 수학식 2와 수학식 3의 드 모르겐의 정리가 적용된다.

도 11의 (d)에 있어서, 도 11의 (c)의 드 모르겐 정리의 적용의 결과로서, 스탠바이 회로는 NOR 게이트나 NAND 게이트로 치환될 수 있다. NOR 게이트에는 논리 회로(1)의 출력 신호 A와 스탠바이 신호가 입력된다. NAND 게이트에는 논리 회로(1)의 출력 신호 A와 스탠바이 신호 /STAND-BY가 입력된다.

도 11에 따르면, 미리 설정된 논리 기능을 갖는 논리 회로에 입력되는 신호는 입력 신호가 반전되어 출력되는 반전 논리를 이용하여 CMOS 논리 회로 내에서 반전 신호로 출력되기 때문에, 논리 회로와 스탠바이 회로는 한 개의 게이트로 집약(集約)될 수 있다는 것을 설명할 수 있다.

도 12와 도 13은 본 발명의 제5 실시예를 도시한다.

도 12와 도 13은 본 발명이 일반적인 논리 회로에 적용되는 예를 도시하고 있다.

도 12와 도 13에서 도시한 회로는 일반적인 논리 회로로부터 임의로 추출되는 경로를 구비함과 동시에 누설 전류를 제어하는 셀이 스탠바이 모드 시에 있는 경로로 구성되어 있다. 도 12의 (a)와 (b)에 있어서, 회로는, 입력 단자, 2개의 NAND 게이트(30, 32), NOR 게이트(31), 인버터(33), OR 게이트(34) 및 출력 단자(OUTPUT)로 구성되어 있다. 입력 단자(INPUT)로부터의 신호는 NAND 게이트(30)의 한 개의 입력에 입력되고, 기타 셀(도시하지 않았음)로부터의 신호나 기타의 입력 단자로부터의 신호는 다른 입력에 입력되고 있다. NAND 게이트(30)의 출력은 NOR 게이트(31)의 한 개의 입력에 입력되고, 기타 셀(도시하지 않았음)로부터의 신호나 기타 입력 단자로부터의 신호는 다른 입력에 입력되고 있다. NOR 게이트(31)의 출력은 NAND 게이트(32)의 한 개의 입력에 입력되고, 기타 셀(도시하지 않았음)로부터의 신호나 기타 입력 단자로부터의 신호는 다른 입력에 입력되고 있다. NAND 게이트(32)의 출력은 인버터(33)의 입력에 입력되고 있다. 인버터(33)의 출력은 OR 게이트(34)의 한 개의 입력에 입력되고, 기타 셀(도시하지 않았음)로부터의 신호나 기타 입력 단자로부터의 신호는 다른 입력에 입력되고 있다. OR 게이트(34)의 출력은 출력 단자(OUTPUT)에 접속되어 있다.

각각의 셀에 기재된 사각 표시는 각 셀의 입력 단자가 접속되는 트랜지스터의 구조를 나타내고 있다. 사각 표시는 중앙에서 상단부 구역으로 분할되고, 상단부는 PMOS 트랜지스터를, 하단부는 NMOS 트랜지스터를 나타낸다. 또한, 백색부는 고 문턱값의 트랜지스터를, 흑색부는 저 문턱값의 트랜지스터를 나타낸다. 따라서, 백색 상단부와 흑색 하단부(Pch-High, Nch-Low)를 갖는 사각은 입력 단자가 고 문턱값의 PMOS 트랜지스터와 저 문턱값의 NMOS 트랜지스터에 접속되어 있다는 것을 나타내고 있다. 흑색 상단부와 백색 하단부(Pch-Low, Nch-High)를 갖는 사각은 입력 단자가 저 문턱값의 PMOS 트랜지스터와 고 문턱값의 NMOS 트랜지스터에 접속되어 있다는 것을 나타내고 있으며, 흑색 상단부(Pch-High, Nch-Low)를 갖는 사각은 입력 단자가 저 문턱값의 PMOS 트랜지스터와 저 문턱값의 NMOS 트랜지스터에 접속되어 있다는 것을 나타내고 있다.

도 12의 (a)는 전술한 바와 같이, 스텔바이 모드 시에 외부 입력 신호 "0"이 입력 단자 INPUT에 공급될 때의 스텔바이 입력 상태 시의 경로와, 누설 전류를 제어하는 셀이 배치되어 있는 경로가 도시되어 있다. 도 12의 (a)의 팔호의 숫자는 스텔바이 모드 시에 각 노드에 대하여 설정된 미리 설정된 값을 나타낸다. 이러한 논리 값에 기초하여, 스텔바이 모드 시에 NAND 게이트(30), NOR 게이트(31), NAND 게이트(32) 및 인버터(33)의 각 셀 내의 고 문턱값의 트랜지스터가 턴 오프할 때, 누설 전류는 제어된다. OR 게이트(34)에 있어서, NAND 게이트(30), NOR 게이트(31), NAND 게이트(32) 및 인버터(33)를 경유하여 입력 단자 INPUT에 접속된 상단부의 입력 단자는 상단부(Pch-Low, Nch-Low)의 흑색 사각에 접속되어 있기 때문에, 즉 저 문턱값의 트랜지스터에만 접속되어 있기 때문에, 누설 전류는 제어될 수 없다. 하지만, OR 게이트(34)의 다른 입력 단자는 백색 상단부와 흑색 하단부(Pch-High, Nch-Low)를 갖는 사각에 접속되어 있기 때문에, 스텔바이 모드 시에 입력 단자 INPUT 이외의 입력 단자에 공급된 외부 입력 신호에 기초하여, OR 게이트(34)의 다른 입력 단자에 공급된 신호에 의해 고 문턱값의 트랜지스터는 턴 오프하여 누설 전류가 제어될 수 있다.

도 12의 (b)는 도 12의 (a)에 도시한 스텔바이 입력 상태에서부터 천이된 동작을 도시하고 있다.

도 12의 (b)는 "0"에서 "1"로의 입력 신호의 전환을 도시하고 있다. 이러한 동작 상태에 있어서, 스텔바이 모드 시에 턴 오프된 고 문턱값의 트랜지스터 즉, NAND 게이트(30), NOR 게이트(31), NAND 게이트(32) 및 인버터(33)의 고 문턱값의 트랜지스터는 동시에 턴 오프하기 때문에, 동작 속도는 저하된다. 이것은 도 14의 (b)에 도시한 스텔바이 입력 상태에서부터 동작 상태에 해당하는 동일한 천이 과정이다. 백색 상단부와 흑색 하단부(Pch-High, Nch-Low)를 갖는 사각에 접속된 OR 게이트(34)의 다른 입력 단자에 대하여, 입력 단자(INPUT) 이외의 입력 단자에 공급된 외부 입력 신호에 따라서 OR 게이트(34)의 다른 입력 단자에 공급된 신호에 의해 고 문턱값의 트랜지스터가 턴 오프할 때, 고 문턱값의 트랜지스터는 동작 모드 시에 턴 온 한다. 따라서, 이 동작 속도는 저하된다.

도 13의 (a)는 스텔바이 모드 시에 도 12의 (a)에 도시한 누설 전류를 제어하기 위한 셀이 배치된 경로에 본 발명이 적용된 경로가 도시되어 있다.

도 13의 (a)에 있어서, 회로는 입력 단자(INPUT), NAND 게이트(30), 복합 게이트(35), NAND 게이트(32), 인버터(33), OR 게이트(34) 및 출력 단자(OUTPUT)로 구성되어 있다. 입력 단자(INPUT)로부터의 신호는 NAND 게이트(30)의 한 개의 입력에 입력되고, 기타 셀(도시하지 않았음)로부터의 신호나 기타 입력 단자로부터의 신호는 다른 입력에 입력된다. NAND 게이트(30)의 출력은 복합 게이트(35)의 한 개의 입력에 입력되며, 기타 셀로부터의 신호나 기타 입력 단자로부터의 신호는 다른 입력에 입력된다. 복합 게이트(35)의 출력은 NAND 게이트(32)의 한 개의 입력에 입력되며, 기타 셀로부터의 신호나 기타 입력 단자로부터의 신호는 다른 입력에 입력된다. NAND 게이트(32)의 출력은 인버터(33)의 입력에 입력된다. 인버터(33)의 출력은 OR 게이트(34)의 한 개의 입력에 입력되며, 기타 셀(도시하지 않았음)로부터의 신호나 기타 입력 단자로부터의 신호는 다른 입력에 입력된다. OR 게이트(34)의 출력은 출력 단자(OUTPUT)에 접속된다. 여기서, 팔호 내의 숫자와 셀 내의 사각 표시는 도 12의 것과 유사하다.



도 13에 있어서, 도 12와의 차이는 도 12에 도시한 NOR 게이트(31)가 복합 게이트(35)로 치환되어 있다는 것이다. 이 복합 게이트(35)는 OR 게이트와 NAND 게이트로 구성되어 있다. 이러한 치환은 드 모르건의 정리의 응용을 통해 설명될 수 있다. 신호 A와 신호 B가 NOR 게이트(31)에 입력된다고 가정할 때, 이의 출력은  $1/(A+B)$ 로서 표현될 수 있다. NOR 게이트(31)의 출력  $1/(A+B)$ 과 스탠바이 신호 STAND-BY는 이하의 드 모르건 정리에 적용될 수 있다.

수학식 4

$$\overline{(A+B)} + \text{STAND-BY} = \overline{(A+B)} \cdot \overline{\text{STAND-BY}}$$

수학식의 우측은 NAND 게이트의 논리 기능을 나타낸다. 이러한 기능은 신호 A와 B의 논리 OR(OR 게이트의 출력 신호)와 스탠바이 신호  $1/\text{STAND-BY}$ 가 입력되는 NAND 게이트의 논리 기능을 나타낸다. 드 모르건 정리에 따라, NOR 게이트(31)는 신호 A와 B가 공급되고 스탠바이 신호  $1/\text{STAND-BY}$ 가 복합 게이트에 공급되는 OR 게이트와 NAND 게이트의 복합 게이트(35)로 치환된다는 것이 설명될 수 있다.

도 13의 (a)에는 전술한 바와 같이, 스탠바이 모드 시에 "0"이 입력 단자 INPUT에 외부 입력 신호로서 공급될 때의 스탠바이 입력 상태 시의 경로와, 누설 전류를 제어하는 셀이 배치되어 있는 경로가 도시되어 있다. 괄호의 숫자로서 표시된 신호값에 기초하여, NAND 게이트(30), 복합 게이트(35), NAND 게이트(32) 및 인버터(33)의 각 셀 내의 고 문턱값의 트랜지스터가 턴 오프되어, 스탠바이 모드 시에 누설 전류가 제어될 수 있다. 여기서, 복합 게이트(35)의 OR 게이트에 있어서, 2개의 입력 단자는 흑색 상단부(Pch-Low, Nch-Low)를 갖는 사각에 접속되어 있기 때문에, 즉 2개의 입력 단자는 저 문턱값의 트랜지스터에만 접속되어 있기 때문에, 누설 전류는 제어될 수 없다. 그러나, 복합 게이트(35)의 NAND 게이트에 있어서, 2개의 입력 단자는 흑색 상단부와 백색 하단부(Pch-Low, Nch-High)를 갖는 사각에 접속되어 있기 때문에, 즉 입력 핀이 저 문턱값의 PMOS 트랜지스터와 고 문턱값의 NMOS 트랜지스터에 접속되어 있기 때문에, 고 문턱값의 트랜지스터에는 유효화 스탠바이 신호 "0"이 공급되어 턴 오프함으로써 누설 전류가 제어된다.

도 13의 (b)는 도 13의 (a)의 스탠바이 입력 상태에서부터 천이된 동작 모드를 도시하고 있다.

도 13의 (b)는 "0"에서 "1"로의 입력 신호의 전환을 도시하고 있다. 이러한 동작 모드에 있어서, 스탠바이 모드 시에 OFF 상태 있었던 NAND 게이트(30)와 복합 게이트(35)의 고 문턱값의 트랜지스터는 턴 온하고, 복합 게이트(35), NAND 게이트(32), 인버터(33) 및 OR 게이트(34)의 저 문턱값의 트랜지스터는 턴 온한다. 따라서, 입력 단자 INPUT로부터 복합 게이트로의 동작 속도는 다소 저하되지만, NAND 게이트(32)로부터 출력 단자 OUTPUT로의 동작 속도는 다소 높아진다. 전술한 바와 같이, 경로의 동작 속도는 NOR 게이트를 복합 게이트로 치환한 다음 스탠바이 신호를 복합 게이트에 공급함으로써 향상될 수 있다.

전술한 바와 같이, 일반적인 논리 회로에 있어서, 논리 회로로부터 경로를 추출하고 이를 본 발명에 적용하는 과정을 반복함으로써 동작 속도가 향상될 수 있으며 크리티컬 경로의 지연이 감소될 수 있다.

도 15는 본 발명의 제2 원리를 도시하고 있다.

도 15는 기존의 논리 회로로부터의 기능의 동일성을 유지시켜 스탠바이 모드 시에 누설 전류를 유효하게 차단할 수 있는 논리 회로를 설계하기 위한 CAD 시스템의 흐름도를 도시하고 있다.

입력 논리 회로(100)는 기존 회로의 네트 리스트(net list)(게이트 레벨 논리 회로)이며, 스탠바이 상태(101)는 스탠바이 모드 시에 외부적으로 부여된 미리 설정된 신호 정보이고, 누설 차단 라이브러리(103)는 스탠바이 모드 시에 누설 전류를 효과적으로 차단하기 위한 셀이 등록되어 있는 셀 라이브러리(셀 정보)이며, 출력 논리 회로(105)는 스탠바이 모드 시에 누설 전류를 효과적으로 차단하기 위하여 셀로 치환된 신규 논리 회로의 네트 리스트이다.

미리 설정된 외부 신호값이 기존의 논리 회로에 부여될 때, 입력 논리 회로(100)와 스텐바이 상태(101)는 기존 논리 회로 내의 각 노드에 대하여 설정된 신호값을 산출하기 위하여 내부 논리 산출 수단(102)에 입력된다.

내부 신호 산출 수단(102)의 출력 즉, 스텐바이 모드 시에 기존의 논리 회로 내의 각 노드에 대해 설정된 신호값, 입력 논리 회로(100) 및 누설 차단 라이브러리(103)는 셀 치환 수단(104)에 입력된다. 셀 치환 수단(104)은 셀을 치환하여 기존 논리 회로의 각 노드에 설정된 신호값으로 누설 전류를 효과적으로 차단하는 누설 차단 라이브러리(103)를 선택하고, 만일 필요할 경우 핀을 치환하여 출력 논리 회로(105) 즉, 스텐바이 모드 시에 누설 전류를 효과적으로 차단하는 신규 논리 회로의 네트 리스트를 출력한다. 도 18 내지 도 21을 참조하여 셀의 치환을 설명하고, 도 23을 참조하여 핀의 치환을 각각 설명한다.

전술한 바와 같이, 도 15에 도시한 CAD 시스템에 따르면, 스텐바이 모드 시에 누설 전류를 효과적으로 차단하는 셀로 치환이 행해진 신규 논리 회로가 얻어질 수 있다.

도 16은 본 발명의 제3 원리를 설명하고 있다.

도 16은 도 15와 같이, 기존 회로로부터 기능의 동일성을 유지시켜 스텐바이 모드 시에 누설 전류를 효과적으로 차단하는 회로를 설계하기 위한 CAD 시스템의 흐름을 도시하고 있다. CAD 시스템에 입력된 회로 정보는 네트 리스트가 아닌 RTL(Register Transfer Level)에 의해 기술되어 있는 것이 차이점이다.

RTL(106)은 기존 회로의 RTL 기술(記述)을 제공한다. 스텐바이 상태(101)는 스텐바이 모드 시에 외부측으로부터 부여된 미리 설정된 신호 정보이다. 누설 차단 라이브러리(103)는 스텐바이 모드 시에 누설 전류를 효과적으로 차단하는 셀이 등록된 셀 라이브러리(셀 정보)이다. 타이밍 라이브러리(107)는 논리 합성에 필요한 타이밍 정보가 등록된 라이브러리이다. 출력 논리 회로(105)는 스텐바이 모드 시에 누설 전류를 효과적으로 차단하는 셀로 구성된 신규 회로의 네트 리스트이다.

RTL(106), 스텐바이 상태(101), 타이밍 라이브러리(107) 및 누설 차단 라이브러리(103)는 논리 회로 합성 수단(108)에 입력된다. 논리 회로 합성 수단(108)은 RTL(106)을 논리 합성으로 네트 리스트에 전개시키지만, 스텐바이 모드 시에 누설 전류를 효과적으로 차단할 수 있는 셀을 이용하여 네트 리스트에 전개시킨다. 셀의 선택은, 도 15에 도시한 CAD 시스템의 경우와 같이 스텐바이 상태(101)에 의해 지정된 스텐바이 모드 시의 외부 신호 정보에 따라 각 논리 회로의 노드에 설정된 신호값에 기초하여 누설 전류를 효과적으로 차단하기 위한 셀을 누설 차단 라이브러리(103)로부터 선택함으로써 행해진다.

도 16에 도시한 RTL의 기술(記述)을 입력하는 CAD 시스템의 흐름에 있어서, 논리 합성 및 셀의 치환은 동시에 행해질 수 있어(필요한 때에는 핀의 치환도 동시에 행해진다), 회로 설계에 필요한 시간을 단축시킬 수 있다.

전술한 바와 같이, 도 16에 도시한 CAD 시스템에 따르면, 스텐바이 모드 시에 누설 전류를 효과적으로 차단하는 셀로 치환이 행해진 신규 네트 리스트는 RTL 기술(記述)로부터 얻어질 수 있다.

도 15와 도 16에 도시한 셀 치환 시스템은 반도체 메모리(RAM, ROM), 플로피 디스크(FD), 하드 디스크(HD), 광학 디스크(CD, DVD), 광자기 디스크(MO, MD) 및 자기 테이프 등의 기록 매체에 프로그램으로서 기억되어 있다.

도 17은 본 발명에 따른 셀의 제1 원리도를 도시하고 있다. 즉, 도 17은 누설 차단 라이브러리(103)(도 15와 도 16에 도시한 셀 정보의 셀 라이브러리)에 등록된 누설 전류를 효과적으로 차단하는 셀의 제1 원리도를 도시하고 있다.

도 17의 (a)와 (b)는 2 입력과 1 출력의 스테틱 형태의 논리 게이트(static gate)를 도시하고 있다.

도 17의 (a)에 있어서, 제1 입력 단자 INPUT A는 저 문턱값의 PMOS 트랜지스터(PMOS Low Vth)로 구성된 제1 논리 회로(150)와, 저 문턱값의 NMOS 트랜지스터(NMOS Low Vth)로 구성된 제2 논리 회로(151)에 접속되어 있다. 제2 입력 단자 INPUT B는 제1 회로(150), 제2 회로(151) 및 고 문턱값의 NMOS 트랜지스터(NMOS High Vth)의 게이트에 접속되어 있다. 또한, 출력 단자 OUTPUT은 제1 회로(150)와 제2 회로(151)가 접속된 출력 노드(153)에 접속되어 있다.

여기서, 입력 신호 "0"이 제2 입력 단자 INPUT B에 공급될 때, 고 문턱값의 NMOS 트랜지스터(152)는 턴 오프하고, 출력 신호 "1"이 출력 단자 OUTPUT에 출력된다. 고 문턱값의 NMOS 트랜지스터(152)가 턴 오프하기 때문에, 전원 전압으로부터 접지 전위까지의 경로의 누설 전류가 효과적으로 차단된다. 전술한 바와 같이, 고 문턱값의 NMOS 트랜지스터(152)가 턴 오프할 때 누설 전류가 차단되기 때문에, "0" 또는 "1"의 임의 입력 신호가 제1 입력 단자 INPUT A에 입력될 수 있다. 제1 논리 회로(150)에 있어서, 저 문턱값의 복수 개의 PMOS 트랜지스터가 기재되어 있고, 제2 회로(151)에는 저 문턱값의 복수 개의 NMOS 트랜지스터가 기재되어 있지만, 전원 전압으로부터 고 문턱값의 NMOS 트랜지스터(152)까지의 경로 수는 항상 한 개로 설정되지 않는다는 것을 나타내고 있다. 누설 전류는 고 문턱값(152)의 NMOS 트랜지스터를 턴 오프시킴으로써 항상 효과적으로 차단되기 때문에, 제1 회로(150)와 제2 회로(151)는 임의 종류의 트랜지스터 구조를 채용할 수 있다.

도 17의 (b)에 있어서, 제1 입력 단자 INPUT A는 고 문턱값(154) (PMOS Hight Vth)의 PMOS 트랜지스터의 게이트, 제1 회로(155) [저 문턱값의 PMOS 트랜지스터(PMOS Low Vth)로 구성됨] 및 제2 회로 [저 문턱값의 NMOS 트랜지스터(NMOS Low Vth)로 구성됨]에 접속되어 있다. 제2 입력 단자 INPUT B는 제1 회로(155)와 제2 회로(156)에 접속되어 있다. 또한, 출력 단자 OUTPUT는 제1 회로(155)와 제2 회로(156)가 접속되는 출력 노드(157)에 접속되어 있다.

여기서, 입력 신호 "1"이 제1 입력 단자 INPUT A에 공급될 때, 고 문턱값의 PMOS 트랜지스터(154)는 출력 신호 "0"을 출력 단자 OUTPUT에 출력시키도록 턴 오프한다. 고 문턱값의 PMOS 트랜지스터(154)는 턴 오프하기 때문에, 전원 전압으로부터 접지 전위까지의 경로의 누설 전류는 효과적으로 차단될 수 있다. 전술한 바와 같이, 누설 전류는 고 문턱값의 PMOS 트랜지스터(154)를 턴 오프시켜 차단되기 때문에, "0" 또는 "1"의 임의 입력 신호는 제2 입력 단자 INPUT B에 공급될 수 있다. 제1 회로(155)는 저 문턱값의 복수 개의 PMOS 트랜지스터로 구성되어 있고, 제2 회로(156)는 저 문턱값의 복수 개의 NMOS 트랜지스터로 구성되어 있으며, 이것은 접지 전위로부터 고 문턱값의 PMOS 트랜지스터(154)까지의 경로의 수가 한 개에 국한되지 않는다는 것을 나타낸다. 누설 전류는 스탠바이 모드 시에 고 문턱값의 PMOS 트랜지스터(154)를 항상 턴 오프시킴으로써 효과적으로 차단될 수 있기 때문에, 회로(156)는 임의 종류의 트랜지스터 구조를 채용할 수 있다.

도 18은 본 발명의 제6 실시예를, 도 19는 본 발명의 제7 실시예를, 도 20은 본 발명의 제8 실시예를 도시하고 있다.

도 18 내지 도 20에 도시한 구체적 회로를 참조하여 도 15에 도시한 CAD 시스템을 설명한다.

도 18에 도시한 논리 회로는 3개의 D 플립플롭(201, 202, 203) (이하, D 플립플롭을 "D-FF"라 칭한다)과 4개의 NAND 게이트(204, 205, 206, 207)로 구성되어 있다. 즉, D-FF(201)의 출력과 D-FF(202)의 출력은 NAND 게이트(204)에 입력된다. D-FF(202)의 출력과 D-FF(203)의 출력은 NAND 게이트(205)에 입력된다. NAND 게이트

(204)와 NAND 게이트(205)의 출력은 NAND 게이트(206)에 입력된다. NAND 게이트(205)의 출력과 D-FF(203)의 출력은 NAND 게이트(207)에 입력된다.

도 18은 스탠바이 모드 시에 누설 전류를 차단하기 위한 셀 치환이 행해진 후의 논리 회로의 상태를 도시하고 있다. 즉, D-FF(201, 202, 203)의 출력값은 스탠바이 모드 시에 외부적으로 부여된 미리 설정된 신호 정보(스탠바이 상태(101))에 해당한다. 도 18에 도시한 괄호 내의 숫자는 신호 "0"이 스탠바이 모드 시에 외부 회로로부터 부여된 미리 설정된 신호 정보(스탠바이 상태(101))로서 부여될 때의 D-FF(201, 202, 203)의 출력값이나 각각의 노드 내의 신호값을 나타낸다.

여기서, NAND 게이트(204, 205, 207)는 제1 NAND 게이트로 구성된 한편 NAND 게이트(206)는 제2 NAND 게이트로 구성되어 있다. 도 19의 (a)는 제1 NAND 게이트를, 도 19의 (b)는 제2 NAND 게이트를 도시하고 있다.

도 19의 (a)에 도시한 제1 NAND 게이트는 저 문턱값의 PMOS 트랜지스터(207, 208), 저 문턱값의 NMOS 트랜지스터(209) 및 고 문턱값의 NMOS 트랜지스터(210)로 구성되어 있다. 제1 입력 단자 A1는 PMOS 트랜지스터(207)의 게이트와 NMOS 트랜지스터(209)의 게이트에 접속되어 있다. 제2 입력 단자 A2는 PMOS 트랜지스터(208)의 게이트와 NMOS 트랜지스터(210)의 게이트에 접속되어 있다. PMOS 트랜지스터(207)의 소스 또는 드레인과 NMOS 트랜지스터(209)의 드레인 또는 소스가 접속된 노드는 PMOS 트랜지스터(208)의 소스 또는 드레인과 출력 단자 OUTPUT에 접속되어 있다. 전술한 바와 같이, 저 문턱값(207, 208, 209)의 트랜지스터는 전원측에 제공되고, 고 문턱값의 트랜지스터(210)는 접지 전위측에 제공된다. 즉, 전원측으로부터 접지 전위측에 흐르는 전류는 저 문턱값의 트랜지스터(207, 208, 209) 중의 어떤 하나를 통과할 때에도 고 문턱값의 트랜지스터(210)를 항상 관통한다. 이러한 구조는, 스탠바이 모드 시에 접지 전위측에 제공된 고 문턱값의 트랜지스터(210)를 턴 오프시킴으로써 전원측으로부터 접지 전위측에 흐르는 누설 전류를 제어할 수 있다는 것을 나타낸다. 도 19의 (a)에 있어서, 고 문턱값의 트랜지스터(210)는 신호 "0"을 입력 단자 A2에 부여함으로써 항상 턴 오프된다. 저 문턱값의 트랜지스터(207, 208, 209)가 ON 상태나 O-FF 상태일 때에도 문제는 없기 때문에, 신호 "0" 또는 "1" 중의 어느 한 신호가 저 문턱값의 트랜지스터(207, 209)로의 입력 단자 A1에 대하여 설정될 수 있다.

도 19의 (b)에 도시한 제2 NAND 게이트는 고 문턱값의 PMOS 트랜지스터(211, 212)와 저 문턱값의 NMOS 트랜지스터(213, 214)로 구성되어 있다. 제1 입력 단자 A1는 PMOS 트랜지스터(211)의 게이트와 NMOS 트랜지스터(213)의 게이트에 접속된다. 제2 입력 단자 A2는 PMOS 트랜지스터(212)의 게이트와 NMOS 트랜지스터(214)의 게이트에 접속된다. PMOS 트랜지스터(211)의 소스 또는 드레인과 NMOS 트랜지스터(213)의 드레인 또는 소스가 접속된 노드는 PMOS 트랜지스터(212)의 소스 또는 드레인과 출력 단자 OUTPUT에 접속된다.

전술한 바와 같이, 고 문턱값(211, 212)의 트랜지스터는 전원측에 제공되고, 저 문턱값의 트랜지스터(213, 214)는 접지 전위측에 제공된다. 즉, 전원측으로부터 접지 전위측에 흐르는 전류는 고 문턱값의 트랜지스터(211 또는 212)를 항상 관통한다. 이러한 구조는, 스탠바이 모드 시에 전원 전위측에 제공된 고 문턱값의 트랜지스터(211, 212) 모두를 턴 오프시킴으로써 전원측으로부터 접지 전위측에 흐르는 누설 전류를 제어할 수 있다는 것을 나타낸다. 도 19의 (b)에 있어서, 스탠바이 모드 시 입력 단자 A1에 신호 "1"이 제공되고, 입력 단자 A2에 신호 "1"이 제공됨으로써 고 문턱값을 갖는 2개의 트랜지스터(211, 212)를 턴 오프시킨다.

도 18을 다시 참조하면, 전술한 바와 같이 NAND 게이트(204, 205, 207)는 제1 NAND 게이트로 구성되고, 괄호 내의 숫자는 스탠바이 모드 시의 각 모드의 신호값을 나타낸다.

제1 NAND 게이트인 NAND 게이트(204)의 제2 입력 단자 A2에 D-FF(202)의 출력 신호 "0"이 입력되기 때문에, 고 문턱값의 트랜지스터(201)가 턴 오프되어 누설 전류가 효과적으로 차단 될 수 있다.

이와 동일한 방법으로서, D-FF(203)의 출력 신호 "0"이 제1 NAND 게이트인 NAND 게이트(205)의 제2 입력 단자에 입력되기 때문에, 고 문턱값의 트랜지스터(210)가 턴 오프되어 누설 전류가 효과적으로 차단될 수 있다.

이와 동일한 방법으로서, D-FF(203)의 출력 신호 "0"이 제1 NAND 게이트인 NAND 게이트(207)의 제2 입력 단자 A2에 입력되기 때문에, 고 문턱값의 트랜지스터(210)가 턴 오프되어 누설 전류가 효과적으로 차단될 수 있다.

제2 NAND 게이트인 NAND 게이트(206)의 제1 입력 단자 A1에는 NAND 게이트(204)의 출력 신호 "1"이 입력되고, NAND 게이트(205)의 출력 신호 "1"은 제2 입력 단자 A2에 입력되기 때문에, 고 문턱값의 트랜지스터(211, 212)가 모두 턴 오프되어 누설 전류가 효과적으로 차단 될 수 있다.

도 18에서, D-FF의 출력값은 스탠바이 모드 시에 외부적으로 부여되는 미리 설정된 신호 정보(스탠바이 상태 101)로서 정의되지만, 스탠바이 모드 시에 노드 내의 신호값을 결정할 수 있는 회로이기만 하면, D-FF에 한하지 않고 임의 종류의 출력값도 이용될 수 있다.

도 20에 D-FF와 같은 메모리 소자 이외의 회로의 출력값이 스탠바이 모드 시 외부측으로부터 부여된 미리 설정된 신호 정보[스탠바이 상태(101)]로서 이용되는 제8 실시예를 도시한다.

도 20에 도시한 논리 회로에 있어서, 도 18에 도시한 논리 회로의 NAND 게이트와 D-FF 사이에 AND 회로가 삽입되어 있다. 사실상, NAND 게이트의 구조는 도 18과 동일하다. 즉, D-FF(201)의 출력은 AND 게이트(216)에 입력되고, AND 게이트(216)의 출력은 NAND 게이트(204)에 입력된다. D-FF(202)의 출력은 AND 게이트(217)에 입력되고, AND 게이트(217)의 출력은 NAND 게이트(204)와 NAND 게이트(205)에 입력된다. D-FF(203)의 출력은 AND 게이트(218)에 입력되고, AND 게이트(218)의 출력은 NAND 게이트(205)와 NAND 게이트(207)에 입력된다.

스탠바이 모드에 있다는 것을 나타내는 스탠바이 신호는 AND 게이트(216, 217, 218)의 다른 입력 단자에 공급된다. 신호 "0"이 스탠바이 신호로서 공급되기 때문에, AND 게이트(216, 217, 218)의 각각의 출력은 신호 "0"에 고정되며, AND 게이트(216, 217, 218)의 출력에 접속된 NAND 게이트(204, 205, 207)로의 입력값과, 스탠바이 모드 시에 외부 회로로부터 부여된 미리 설정된 신호 정보(스탠바이 상태(101))는 그대로 유지될 수 있다. 전술한 바와 같이, 스탠바이 모드 시에 외부적으로 부여된 미리 설정된 신호 정보(스탠바이 상태(101))는 AND 게이트등의 상태 유지 회로를 삽입함으로써 쉽게 설정될 수 있다.

도 21은 본 발명의 제9 실시예를 도시하고 있다. 도 21에 있어서 도 18의 경우와 같은 구체적 회로를 참조하여 도 15에 도시한 CAD 시스템을 설명한다.

도 21에 도시한 논리 회로는 스캔을 갖는 D 플립플롭(208, 209, 210)(이하, 스캔을 갖는 D 플립플롭을 "스캔을 갖는 D-FF"라 칭한다), 4개의 NAND 게이트(211, 212, 213, 214) 및 메모리(215)로 구성되어 있다. 도 21에 도시한 회로는 D-FF가 스캔을 갖는 D-FF이고, 메모리가 스캔을 갖는 D-FF에 접속된다는 점이 도 18에 도시한 논리 회로와 차이가 있다.

도 21에 도시한 논리 회로에 있어서, 스캔을 갖는 D-FF는 체인(chain) 접속되어 있다. 이하, 도 21에 도시한 논리 회로의 구체적 구조를 설명한다. 스캔을 갖는 D-FF(208)의 출력과 스캔을 갖는 D-FF(209)의 출력은 제1 NAND 게이트(211)에 입력된다. 스캔을 갖는 D-FF(209)의 출력과 스캔을 갖는 D-FF(210)의 출력은 제1 NAND 게이트(212)에 입력된다. 제1 NAND 게이트(211)의 출력과 제1 NAND 게이트(212)의 출력은 제2 NAND 게이트(213)에 입

터된다. 제1 NAND 게이트(212)의 출력과 스캔을 갖는 D-FF(210)의 출력은 제1 NAND 게이트(214)에 입력된다. 메모리(215)는 스캔을 갖는 D-FF(210)의 단자 SI 내의 스캔에 접속되며, 스캔을 갖는 D-FF(210)의 스캔 아웃 단자는 스캔을 갖는 D-FF(209)의 스캔 인 단자에 접속된다. 스캔을 갖는 D-FF(209)의 스캔 아웃 단자는 스캔을 갖는 D-FF(208)의 스캔 인 단자에 접속된다.

도 18에서와 같이 도 21은 스텐바이 모드 시에 누설 전류를 차단하도록 셀 치환이 행해진 후의 논리 회로의 상태를 도시한 것이다. 즉, 스캔을 갖는 D-FF(208, 209, 210)의 출력값은 스텐바이 모드 시의 외부 입력 신호에 해당하며, 도 21에 도시한 괄호 내의 숫자는 스캔을 갖는 D-FF(208, 209, 210)의 출력값 또는 외부 입력 신호로서 신호 "0"이 부여되는 각 노드의 신호값 각각을 나타낸다. 여기서, 스캔을 갖는 D-FF(208, 209, 210)의 출력값 즉, 스텐바이 모드 시에 외부 회로로부터 부여된 미리 설정된 신호 정보(스텐바이 상태(101))는 체인 접속 스캔 경로를 통하여 메모리(215)로부터 부여된다. 메모리(215)는 스텐바이 모드 시에 외부 회로로부터 부여된 미리 설정된 신호 정보(스텐바이 상태(101))를 스캔을 갖는 D-FF(210)의 스캔 인 단자 SI에 전송한다. 스캔을 갖는 D-FF(210)는 스캔 인 단자 SI에 입력된 신호를 출력 단자 Q에 출력하는 동시에 신호를 스캔 아웃 단자 SO로부터 스캔을 갖는 D-FF(209)의 스캔 인 단자 SI에 전송한다. 동일한 방법으로, 스캔을 갖는 D-FF(209)는 스캔 인 단자 SI에 전송된 신호를 출력 단자 Q에 출력하는 동시에 신호를 스캔 아웃 단자 SO로부터 스캔을 갖는 D-FF(208)의 스캔 인 단자 SI의 스캔에 전송한다. 동일한 방법으로, 스캔을 갖는 D-FF(208)는 스캔 인 단자 SI에 전송된 신호를 출력 단자 Q에 전송하는 동시에 신호를 스캔 아웃 단자 SO로부터 스캔을 갖는 다른 D-FF(도시하지 않았음)의 스캔 인 단자 SI에 전송한다.

전술한 바와 같이, 스탠바이 모드 시에 외부적으로 미리 설정된 경로의 입력에 부여된 미리 설정된 신호 정보(스탠바이 상태(101))는 스캔을 갖는 D-FF를 이용하여 쉽게 설정될 수 있다.

NAND 게이트(211, 212, 213, 214) 내의 고 문턱값의 트랜지스터를 턴 오프(스탠바이 모드 시)하는 원리는 도 18에 관하여 설명한 바와 같다. 동일한 설명은 이하에서 생략한다.

도 15 또는 도 16의 CAD 시스템에 의해, 스탠바이 모드 시에 누설 전류를 효과적으로 차단하는 도 21의 회로는 도 19에 도시한 고 저 문턱값의 양 트랜지스터로 구성된 셀을 이용하여 설계될 수 있다.

도 22는 본 발명의 제4 원리를 설명하는 도면이다.

도 22는 도 15에 도시한 CAD 시스템 내의 셀 치환 수단(104)의 상세한 흐름을 도시하고 있다.

기존의 논리 회로의 네트 리스트(게이트 레벨 논리 회로)인 입력 논리 회로(100), 스텐바이 모드 시에 누설 전류를 효과적으로 차단하기 위한 셀이 등록되어 있는 셀 라이브러리(셀 정보)인 누설 차단 라이브러리(103) 및 도 15 또는 도 16에 도시한 CAD 흐름에서 산출된 것으로서, 스텐바이 모드 시 기존 논리 회로의 각 노드에 설정된 신호값인 내부 신호값(109)은 합치 회로 검출 수단(110)에 입력된다. 전술한 바와 같이, 내부 신호값은 입력 논리 회로(100)와 스텐바이 상태(101)에 따라서, 도 15에 도시한 내부 신호 산출 수단(102) 또는 도 2에 도시한 논리 회로 합산 수단(108)에서 산출된 정보이다. 합치 회로 검출 수단(110)은 내부 신호값(109)을 기초로 하여 기존 셀 각각에 대하여 누설 차단 라이브러리로부터 누설 전류를 차단하는데 효과적인 한 개의 셀 또는 복수 개의 셀을 선택한다. 회로 선택 수단(111)은 합치 회로 검출 수단(110)에 의해 선택된 복수 개의 셀로부터 셀의 기능 및 전체 회로 구조를 고려하여, 누설 전류를 가장 효과적으로 차단하는 각각의 셀을 선택한다. 합치 회로 검출 수단(110)에서 오직 한 개의 셀이 선택되면, 회로 선택 수단(111)에 있어서의 가장 바람직한 셀 선택의 처리는 행해지지 않는다. 다음, 제2 셀 치환 수단(112)에 있어서, 기존 셀은 회로 선택 회로(111)에 의해 선택된 가장 바람직한 셀로 치환되며, 필요한 경우 핀 치환이 행해진다. 도 23을 참조하여 핀 치환 과정을 설명한다.

전술한 바와 같이, 도 15에 도시한 셀 치환 수단(104)은 합치 회로 검출 수단(110), 회로 선택 수단(111) 및 제2 셀 치환 수단(112)으로 구성되어 있으며, 새로운 네트 리스트인 출력 논리 회로(105)를 출력한다.

도 23은 본 발명의 제10 실시예의 핀 교환의 예이다.

도 23의 (a)는 NAND 게이트와 이의 등가 회로이다. 이러한 NAND 게이트는 도 19의 (a)에 도시한 NAND 게이트와 동일한 트랜지스터 구조를 갖는다. 이 구조는 제1 입력 단자 A1, 제2 입력 단자 A2 및 출력 단자 OUTPUT을 가지며, 저 문턱값의 PMOS 트랜지스터(207, 208), 저 문턱값의 NMOS 트랜지스터(209) 및 고 문턱값의 NMOS 트랜지스터(210)로 구성되어 있다. 전원측으로부터 접지 전위측으로 흐르는 누설 전류는 스텔바이 모드 시에 접지 전위측에 제공된 고 문턱값의 트랜지스터를 턴 오프함으로써 효과적으로 차단될 수 있기 때문에, 고 문턱값의 트랜지스터(210)는 스텔바이 모드 시에 입력 단자 A1에 신호 "0"을 부여함으로써 항상 턴 오프된다. 따라서, 예컨대 도 23의 (b)에 도시한 바와 같이, 스텔바이 모드 시에 신호 레벨 "0"에 유지되는 제1 배선 W1이 NAND 게이트의 제1 입력 단자 A1에 접속되어 있고, 신호 레벨 "1"에 유지된 제2 배선 W2가 제2 입력 단자 A2에 접속되어 있을 때, 고 문턱값의 트랜지스터는 턴 오프 될 수 없기 때문에, 전원측으로부터 접지 전위측으로 흐르는 누설 전류는 효과적으로 차단될 수 없다.

한편, NAND 게이트의 2개의 입력(A1, A2)은 논리적으로 등가이며, 그 출력값은 입력 신호가 서로 교환될 때에도 변화되지 않는다. 따라서, NAND 게이트의 입력 단자에 접속된 배선은 교환될 수 있다. 논리적으로 등가의 입력 단자에 대하여 그러한 입력 단자에 접속된 신호 라인의 교환을 "핀 교환"이라 칭한다.

핀 교환 후의 NAND 게이트를 도 23의 (c)에 도시한다. 도 23의 (c)에서, 신호 레벨 "1"을 유지하는 제2 배선 W2는 NAND 게이트의 제1 입력 단자 A1에 접속되고, 신호 레벨 "0"에 유지되는 제1 배선 W1은 제2 입력 단자 A2에 접속된다.

전술한 바와 같이, 본 발명에 있어서 누설 전류를 효과적으로 차단하는 셀로의 교환과 핀 교환 과정은 모두 누설 전류를 효과적으로 차단하여 칩의 저 소비 전력을 실현하고 있다.

도 24와 도 25는 본 발명의 셀에 대한 제2 원리도를 도시하고 있다.

도 24와 도 25는 도 15, 도 16 및 도 22에 도시한 누설 차단 라이브러리(103)에 등록된 것으로서, 누설 전류를 효과적으로 차단하기 위한 셀의 제2 원리도를 묘사하고 있으며, 도 24와 도 25는 다이내믹 형태의 논리 게이트를 묘사하고 있다.

도 24(a)에 있어서, 클록 단자 CK는 고 문턱값의 PMOS 트랜지스터(160)(프리차지용 트랜지스터로 사용됨)의 게이트와 저 문턱값의 NMOS 트랜지스터(162)(다이내믹 형태의 논리 게이트의 동작 안정화용)의 게이트에 접속되어 있다. 복수 개의 입력 단자 INPUT 1, INPUT 2,....., INPUT n(n은 양의 정수)은 저 문턱값의 NMOS 트랜지스터(163, 164, 165)(평가용 트랜지스터)로 구성된 회로(161)에 접속되어 있다. 출력 단자 OUTPUT은 고 문턱값의 트랜지스터(160)와 회로(161)가 접속되는 노드(166)에 접속되어 있다. 전하 축적 노드 C1 또한 노드(166)에 접속되어 있다. 도 24(a)에 있어서, 저 문턱값의 3개의 트랜지스터(163, 164, 165)만이 회로(161) 내에서 이용되고 있지만, 평가용 회로의 트랜지스터의 구조는 게이트의 기능에 의해 결정되기 때문에, 그러한 트랜지스터의 수는 3개에 제한되지 않으며, 4개 또는 그 이상의 트랜지스터 또는 더 적은 수의 트랜지스터가 이용될 수도 있다.

도 24(a)에 도시한 바와 같은 구조의 게이트는 "다이내믹형 논리 게이트"라 칭한다. 이러한 다이내믹 논리 게이트에서, 게이트의 동작을 안정화시키는 데에 저 문턱값의 NMOS 트랜지스터(162)가 사용되지 않는 경우도 있다.

이하, 도 24(a)에 도시한 다이내믹 논리 게이트의 동작을 설명한다.

클록 신호  $\Phi$ 가 "0"일 때, 클록 단자 CK에 접속된 고 문턱값의 PMOS 트랜지스터(160)는 턴 온하여 신호값 "1"을 출력 단자에 출력시킨다. 결국, 전하 축적 노드 C1는 전원 전압 까지 충전되거나 전하 축적 노드 C1에 축적된 전하는 그

대로 저장된다. 클록 신호  $\Phi$ 가 "1"이 될 때, 클록 단자 CK에 접속된 고 문턱값의 PMOS 트랜지스터(160)는 턴 오프 되고, 회로(161) 내의 평가용 저 문턱값의 트랜지스터는 복수 개의 입력 단자 INPUT 1, INPUT 2,....., INPUT n에 대한 입력 신호의 조합에 따라 턴 온 또는 턴 오프된다. 따라서, 전하 축적 노드 C1에 축적된 전하가 그대로 유지되는지, 또는 접지 전위로의 방전이 행해지는지가 결정된다.

도 24(b)는 도 24(a)에 도시한 다이내믹 논리 게이트의 동작을 도시한 타이밍도이다.

클록 신호  $\Phi$ 가 "0"일 때, 다이내믹 신호 게이트는 프리차이지 상태에 있다. 이러한 경우, 전하 축적 노드 C1은 전원 전압으로 충전되거나 전하 축적 노드 C1에 축적된 전하는 그대로 유지된다. 클록 신호  $\Phi$ 가 "1"일 때, 논리 게이트는 평가 상태에 있다. 이러한 경우, 전하 축적 노드 C1에 저장된 전하는 그대로 유지되거나 접지 전위로 방전된다.

도 24(a)에 도시한 다이내믹 논리 게이트의 지연 시간은 평가용 트랜지스터에 의해 전하 축적 노드에 저장된 전하가 방전되는 속도에 따라 결정된다. 따라서, 도 24(a)에 도시한 바와 같이, 동작 속도는 평가용 트랜지스터(163, 164, 165)를 저 문턱값의 NMOS 트랜지스터로 구성함으로써 향상될 수 있다. 한편, 프리차이지 트랜지스터(160)는 고 문턱값의 PMOS 트랜지스터로 구성되기 때문에, 클록 신호  $\Phi$ 가 스탠바이 모드 시에 "1"로 설정되어 프리차이지 트랜지스터(160)를 턴 오프한다. 따라서, 전원 전압으로부터 접지 전위까지의 경로의 누설 전류는 효과적으로 차단될 수 있다.

도 25의 (a)에 있어서, 클록 단자 CK는 고 문턱값의 NMOS 트랜지스터(170)(프리차이지 트랜지스터로 이용됨)의 게이트와 저 문턱값의 PMOS 트랜지스터(172)(다이내믹형 논리 게이트의 동작 안정화용으로 이용됨)의 게이트에 접속된다. 복수 개의 입력 단자 INPUT 1, INPUT 2,....., INPUT n(n은 양의 정수)은 저 문턱값의 PMOS 트랜지스터(173, 174, 175)(평가용 트랜지스터로 이용됨)로 구성된 회로(171)에 접속된다. 출력 단자 OUTPUT과 전하 축적 노드 C1은 모두 고 문턱값의 NMOS 트랜지스터(170)와 회로(171)가 접속된 노드(176)에 접속된다. 도 25의 (a)에서, 저 문턱값의 3개의 트랜지스터(173, 174, 175)만이 회로(171)에 이용되고 있지만, 그 평가용 회로의 트랜지스터 구조는 게이트의 기능에 의해 결정되기 때문에, 트랜지스터의 수는 3개에만 한정되지 않고, 2개 또는 그 이하 및 4개 또는 그 이상의 트랜지스터가 당연히 이용될 수 있다.

도 25의 (a)에 도시한 바와 같은 구조의 게이트는 도 24(a)에 도시한 게이트와 같은 다이내믹형 논리 게이트이다. 전술한 바와 같이, 다이내믹형 논리 게이트에 있어서, 일부 경우에는 게이트의 동작 안정을 위해 이용되는 저 문턱값의 PMOS 트랜지스터(172)가 없다.

이하, 도 25의 (a)에 도시한 다이내믹형 논리 게이트의 동작을 설명한다.

클록 신호  $\Phi$ 가 "1"이 될 때, 클록 단자 CK에 접속된 고 문턱값의 NMOS 트랜지스터(170)가 턴 온되어 충전된 전하 축적 노드 C1이 방전되는지 또는 충전된 상태로 유지되는지 결정된다. 어떠한 경우에도, 신호값 "0"이 출력 단자에 출력된다. 클록 신호  $\Phi$ 가 "0"이 될 때, 클록 단자 CK에 접속된 고 문턱값의 NMOS 트랜지스터(170)는 턴 오프되고, 회로(171) 내의 평가용 저 문턱값의 트랜지스터는 복수 개의 입력 단자 INPUT 1, INPUT 2,....., INPUT n에 대한 입력 신호의 조합에 따라서 턴 온 또는 턴 오프된다. 따라서, 노드가 전원 전압까지 충전되어야 하는지 또는 방전 상태로 유지되어야 하는지가 결정된다.

도 25의 (b)는 도 25의 (a)에 도시한 다이내믹형 논리 게이트의 동작을 도시하는 타이밍도이다.

클록 신호  $\Phi$ 가 "0"인 동안, 다이내믹형 논리 게이트는 평가 상태에 있으며, 전원 전압까지 충전되거나 방전 상태로 유지된다. 클록 신호가 "1"인 동안, 다이내믹형 논리 게이트는 프리차이지 상태에 있으며, 전하 축적 노드 C1이 방전되어야 하는지 또는 방전 상태로 유지되어야 하는지가 결정된다.



도 25의 (a)에 도시한 다이나믹형 논리 게이트의 지연 시간은 평가용 트랜지스터에 의한 전하 축적 노드의 충전 속도에 따라 결정된다. 따라서, 도 25의 (a)에 도시한 바와 같이, 동작 속도는 평가용 트랜지스터(173, 174, 175)를 저 문턱값의 PMOS 트랜지스터로 형성함으로써 향상될 수 있다. 한편, 프리차이지 트랜지스터(170)는 고 문턱값의 NMOS 트랜지스터로 구성되기 때문에, 전원 전압으로부터 접지 전위까지의 경로의 누설 전류는 스탠바이 모드 시 상기 클록 신호  $\Phi$ 를 "0"으로 설정하여 프리차이지 트랜지스터(170)를 턴 오프시킴으로써 효과적으로 차단될 수 있다.

도 26과 도 27은 다이나믹형 논리 게이트를 이용하여 본 발명의 제11 실시예를 도시하고 있다.

도 26과 도 27에 있어서, 회로는 다이나믹형 논리게이트를 다단으로 접속한다.

도 26에 있어서, 제1 다이나믹형 논리 게이트(262)는 인버터(263)를 통해 제2 다이나믹형 논리 게이트(264)에 접속된다.

여기서, 제1 다이나믹형 논리 게이트(262)는 도 24(a)에 도시한 다이나믹형 논리 게이트와 동일한 구조를 갖는다. 즉, 제1 다이나믹형 논리 게이트(262)에 있어서, 클록 단자 CK는 고 문턱값의 PMOS 트랜지스터(250)(프리차이지 트랜지스터로 이용됨)의 게이트와 저 문턱값의 NMOS 트랜지스터(252)(다이나믹형 논리 게이트의 동작 안정화용으로 이용됨)의 게이트에 접속된다. 복수 개의 입력 단자 INPUT 1, INPUT 2, ..., INPUT n(n은 양의 정수)은 저 문턱값의 NMOS 트랜지스터(253, 254, 255)(평가용 트랜지스터로서 이용됨)로 구성된 회로(251)에 접속된다. 출력 단자와 전하 축적 노드 C1는 고 문턱값의 PMOS 트랜지스터(250)와 회로(251)가 접속된 노드(256)에 접속된다. 전술한 바와 같이, 회로(251)는 저 문턱값을 갖는 3개의 평가용 트랜지스터(253, 254, 255)를 포함하고 있다. 그러나, 평가용 트랜지스터의 구조는 게이트의 기능에 의해 결정되기 때문에, 트랜지스터의 수는 3개 또는 그 미만에 한정되지 않으며, 어떤 경우에는 4개 또는 그 이상의 트랜지스터도 당연히 이용될 수 있다.

제2 다이나믹형 논리 게이트(264)는 도 25의 (a)에 도시한 다이나믹형 논리 게이트와 동일한 구조를 갖는다. 클록 단자 CK는 고 문턱값의 PMOS 트랜지스터(259)(프리차이지 트랜지스터로 이용됨)의 게이트와 저 문턱값의 NMOS 트랜지스터(261)(다이나믹형 논리 게이트의 동작 안정화용으로 이용됨)(접속 라인은 도시하지 않았음)의 게이트에 접속된다. 복수 개의 입력 단자 INPUT 1, INPUT 2, ..., INPUT n(n은 양의 정수)와 출력 단자에 접속된 전하 축적 노드 C1는 간략화를 위해 생략하였다. 또한, 회로(260)의 내부 구조는 저 문턱값을 갖는 평가용의 NMOS 트랜지스터로 구성되어 있다(구조는 게이트의 기능에 따라 결정되기 때문에 도시하지 않았다).

인버터(263)는 전원 전압측의 저 문턱값의 PMOS 트랜지스터(257)와 접지 전위측의 고 문턱값의 NMOS 트랜지스터(258)를 포함하고 있다.

제1 다이나믹형 논리 게이트(262)의 출력 단자는 인버터(263)의 입력 단자에 접속되는 한편 인버터(263)의 출력 단자는 제2 다이나믹형 논리 게이트(264)의 입력 단자에 접속된다.

전술한 바와같이, 반전 CMOS 게이트를 통해 다이나믹형 논리 게이트를 접속하는 방법을 "도미노 논리(domino logic)"라 칭한다. 다이나믹형 논리 게이트가 직접 접속될 때, 회로의 지연에 기인하여 다음 단의 다이나믹형 논리 게이트가 평가 상태로 진입한 후, 상기 다이나믹형 논리 게이트에 신호가 입력된다. 이것은 오동작을 야기시킨다. 이러한 오동작을 방지하기 위하여, 도미노 논리가 이용된다.

여기서, 제1 다이나믹형 논리 게이트(262)의 평가용 트랜지스터로 저 문턱값의 NMOS 트랜지스터로 구성된 회로(251)가 평가 상태 시에 전하 축적 노드 C1의 전하를 방전하는 구조로 된다면, 제1 다이나믹형 논리 게이트(262)의 출력

신호는 "0"이 된다. 그리고, 전원측에 배치된 저 문턱값의 PMOS 트랜지스터(257)는 다음 단계에 접속된 인버터(263)에서 구동되기 때문에, 동작 속도가 증가될 수 있다. 전술한 바와 같이, 평가용 회로(251, 260)는 제1 다이나믹형 논리 게이트(262)와 제2 다이나믹형 논리 게이트(264)에서 저 문턱값의 트랜지스터로 구성되기 때문에, 이러한 회로의 동작 속도는 증가될 수 있다.

한편, 프리차이지 트랜지스터(250, 259)는 제1 다이나믹형 논리 게이트(262)와 제2 다이나믹형 논리 게이트(264)에서 스탠바이 모드 시에 고 문턱값의 PMOS 트랜지스터로서 이용되기 때문에, 전원 전압으로부터 접지 전위까지의 경로의 누설 전류는 클록 신호  $\Phi$ 를 "1"로 설정하여 프리차이지 트랜지스터(250, 259)를 턴 오프시킴으로써 효과적으로 차단될 수 있다.

또한, 스탠바이 모드 시, 제1 다이나믹형 논리 게이트(262)의 평가용 트랜지스터인 저 문턱값의 NMOS로 구성된 회로(251)가 평가 상태에 있어서 전하 축적 노드 C1을 방전시키도록 구성되면, 즉 회로(251)에 접속된 모든 입력 단자 INPUT 1, INPUT 2, ..., INPUT n에 신호 값 "1"이 제공되도록 하면, 회로(251)의 출력 신호는 "0"이 된다. 전원 전압으로부터 접지 전위까지의 경로의 누설 전류는 인버터(263)에서도 효과적으로 차단될 수 있는데, 이는 접지 전위측의 고 문턱값의 NMOS 트랜지스터(258)가 제1 다이나믹형 논리 게이트(262)의 출력에 접속된 인버터(263)에서 턴 오프하기 때문이다. 전술한 바와 같이, 누설 전류는 다이나믹형 논리 게이트 뿐만 아니라 도미노 논리를 이용하여 삼입된 인버터에서 효과적으로 차단될 수 있으므로, 회로의 저 소비 전력 특성이 더 향상될 수 있다.

도 27에서, 제1 다이나믹형 논리 게이트(282)는 인버터(283)를 통해 제2 다이나믹형 논리 게이트(284)에 접속된다.

여기서, 제1 다이나믹형 논리 게이트(282)는 도 25의 (a)에 도시한 다이나믹형 논리 게이트와 동일한 구조로 형성된다. 즉, 제1 다이나믹형 논리 게이트(282)에 있어서, 클록 단자 CK는 고 문턱값의 NMOS 트랜지스터(270) (프리차이지 트랜지스터로 이용됨)의 게이트와 저 문턱값의 PMOS 트랜지스터(272) (다이나믹형 논리 게이트의 동작 안정화용으로 이용됨)의 게이트에 접속된다. 복수 개의 입력 단자 INPUT 1, INPUT 2, ..., INPUT n은 저 문턱값의 PMOS 트랜지스터(273, 274, 275) (평가용 트랜지스터로서 이용됨)로 구성된 회로(271)에 접속된다. 출력 단자와 전하 축적 노드 C1은 고 문턱값의 NMOS 트랜지스터(270)와 회로(271)가 접속된 노드(276)에 접속된다. 전술한 바와 같이, 3개의 평가용 트랜지스터(273, 274, 275)는 회로(271)에서 이용되고 있지만, 이러한 평가용 트랜지스터의 구조는 게이트의 기능에 의해 결정되기 때문에, 트랜지스터의 수는 3개 또는 그 미만에 한정되지 않으며, 어떤 경우에는 4개 또는 그 이상의 트랜지스터가 당연히 접속될 수 있다.

제2 다이나믹형 논리 게이트(284)는 도 25의 (a)에 도시한 다이나믹형 논리 게이트와 동일한 구조로 형성된다. 클록 단자 CK는 고 문턱값의 NMOS 트랜지스터(279) (프리차이지 트랜지스터로 이용됨)의 게이트와 저 문턱값의 PMOS 트랜지스터(281) (다이나믹형 논리 게이트의 동작 안정화용으로 이용됨) (접선 라인은 도시하지 않았음)의 게이트에 접속된다. 회로(280) (평가용 트랜지스터로 형성됨)에 접속된 복수 개의 입력 단자 INPUT 1, INPUT 2, ..., INPUT n과 출력 단자에 접속된 전하 축적 노드 C1은 회로의 간략화를 위해 도시하지 않았다. 또한, 회로(280)의 내부 구조는 게이트의 기능에 의해 결정되기 때문에 특별히 도시하지 않았지만, 평가용 트랜지스터로서 저 문턱값의 PMOS 트랜지스터로 구성되어 있다.

인버터(283)는 전원측의 고 문턱값의 PMOS 트랜지스터(277)와 접지 전위측의 저 문턱값의 NMOS 트랜지스터(278)로 구성되어 있다.

제1 다이나믹형 논리 게이트(282)의 출력 단자는 인버터(283)의 입력 단자에 접속되고, 인버터(283)의 출력 단자는 제2 다이나믹형 논리 게이트(284)의 입력 단자에 접속된다.

도 27에 도시한 회로 구조는 전술한 도미노 논리를 이용한다. 도 26과의 차이점은 도 26에 이용된 다이내믹형 논리 게이트가 도 24(a)에 도시한 다이내믹형 논리 게이트, 즉 프리차아지 트랜지스터가 고 문턱값의 PMOS 트랜지스터인 다이내믹형 논리 게이트인 점이며, 한편 도 27에 이용된 다이내믹형 논리 게이트는 도 25의 (a)에 도시한 다이내믹형 논리 게이트, 즉 프리차아지 트랜지스터가 고 문턱값의 NMOS 트랜지스터인 다이내믹형 논리 게이트이다.

여기서, 제1 다이내믹형 논리 게이트(282)의 평가용 트랜지스터인 저 문턱값의 PMOS 트랜지스터로 구성된 회로(271)가 평가 상태 시에 전하 축적 노드 C1을 충전하도록 구성될 때, 제1 다이내믹형 논리 게이트(282)의 출력 신호가 "1"이 되어 다음 단계에 접속된 인버터(283)의 접지 전위측에 배치된 저 문턱값의 NMOS 트랜지스터를 구동시킨다. 따라서, 그 동작 속도는 향상될 수 있다. 또한, 전술한 바와 같이, 평가용 회로(271, 280)는 제1 다이내믹형 논리 게이트(282)와 제2 다이내믹형 논리 게이트(284)에서도 저 문턱값의 트랜지스터로 구성되기 때문에, 그 동작 속도 또한 증가될 수 있다.

한편, 프리차아지 트랜지스터(270; 279)가 제1 다이내믹형 논리 게이트(282)와 제2 다이내믹형 논리 게이트(284)에서 고 문턱값의 NMOS 트랜지스터로 구성되기 때문에, 전원 전압으로부터 접지 전위까지의 경로의 누설 전류는 클록 신호  $\Phi$ 를 "0"으로 설정하여 프리차아지 트랜지스터(270, 279)를 턴 오프시킴으로써 효과적으로 차단될 수 있다.

또한, 스탠바이 모드 시에, 제1 다이내믹형 논리 게이트(282)의 평가용 트랜지스터인 저 문턱값의 PMOS로 구성된 회로(271)가 평가 상태에서 전하 축적 노드 C1을 충전시키도록 구성된 경우, 즉 상기 회로(271)에 접속된 복수 개의 모든 입력 단자 INPUT 1, INPUT 2, ..., INPUT n에 신호 값 "0"가 제공되는 경우, 회로(271)의 출력 신호는 "1"이 되어 제1 다이내믹형 논리 게이트(282)의 출력에 접속된 인버터(283)에서 전원측의 고 문턱값의 PMOS 트랜지스터(277)를 턴 오프시킨다. 따라서, 전원 전압으로부터 접지 전위까지의 경로의 누설 전류는 인버터(283)에서도 효과적으로 차단될 수 있다. 전술한 바와 같이, 누설 전류는 다이내믹형 논리 게이트 뿐만 아니라 도미노 논리를 이용하여 삽입된 인버터에서도 효과적으로 차단될 수 있다. 결국, 회로의 저 소비 전력 특성이 더 향상될 수 있다.

도 28과 도 29는 다이내믹형 논리 게이트를 이용한 본 발명의 제12 실시예를 도시하고 있다.

도 28에 있어서, 다이내믹형 논리 게이트로 구성된 회로의 입력은 플립플롭또는 래치의 출력에 선택적으로 접속되거나, 전원 전압에 슬립(Sleep) 신호로서 접속된다. 여기서, 슬립 신호란 스탠바이 모드 시에 외부 회로로부터 회로에 부여된 미리 설정된 신호 정보(스탠바이 상태(101))이다.

다이내믹형 논리 게이트(302, 303, 304, 305, 306)는 도 24(a)에 도시한 다이내믹형 논리 게이트이며, 프리차아지 트랜지스터는 고 문턱값의 PMOS 트랜지스터이고, 입력 단자는 평가용 트랜지스터로서 저 문턱값의 NMOS 트랜지스터로 구성된 회로에 입력된다. 도 28에서, PMOS 트랜지스터(307, 308, 309, 310, 311)는 다이내믹형 논리 게이트(302, 303, 304, 305, 306)의 고 문턱값의 프리차아지 PMOS 트랜지스터이며, 클록 신호  $\Phi$ 가 입력되고, 다이내믹형 논리 게이트(302, 303, 304, 305, 306)의 회로(312, 313, 314, 315, 316)는 저 문턱값의 NMOS 트랜지스터로 구성된 평가용 회로이다.

다이내믹형 논리 게이트(302)의 출력은 다이내믹형 논리 게이트(303), 다이내믹형 논리 게이트(304) 및 다이내믹형 논리 게이트(306)에 입력되며, 다이내믹형 논리 게이트(305)의 출력은 다이내믹형 논리 게이트(306)의 입력에 접속된다. 또한, 다이내믹형 논리 게이트(302)의 입력은 플립플롭(FF) (300) 또는 전원(317)에 선택적으로 접속된다. 다이내믹형 논리 게이트(305)의 입력은 래치(301)의 출력 또는 전원(318)에 선택적으로 접속된다.

회로 동작 모드 시에, 다이내믹형 논리 게이트(302)와 다이내믹형 논리 게이트(305)의 입력은 플립플롭(FF) (300)과

래치(301)에 각각 접속된다. 스탠바이 모드 시에, 이러한 입력들은 전원(317, 318)에 각각 접속된다. 전원(317, 318)은 스탠바이 모드 시에 전체 회로의 노드 전위를 전원 전압으로 고정시키기 위한 슬립 신호이다. 따라서, 스탠바이 모드 시에 다이내믹형 논리 게이트(302, 305)의 입력이 전원 전압으로 고정되기 때문에, 즉 스탠바이 모드 시에 신호값 "1"이 다이내믹형 논리 게이트(302, 305)의 전체 입력에 공급되기 때문에, 다이내믹형 논리 게이트(302, 305)의 출력 신호는 (다이내믹형 논리 게이트(302, 305)의 프리차아지 트랜지스터에 공급될) 클록 신호  $\Phi$ 를 "1"로 설정시킴으로써 "0"이 된다. 따라서, 인버터가 도미노 논리를 이용하여 다이내믹형 논리 게이트 사이에 삽입될 때, 신호값 "1"은 항상 인버터로부터 출력된다. 결국, 신호값 "1"은 다음 단의 다이내믹형 논리 게이트에 공급된다.

이러한 경우에 있어서, 저 문턱값의 PMOS 트랜지스터는 전원측에 배치되고, 고 문턱값의 NMOS 트랜지스터는 접지 전위측에 배치되는 도 26에 도시한 인버터가 이용될 수 있다. 따라서, 스탠바이 모드 시에, 고 문턱값의 NMOS 트랜지스터는 턴 오프하여 다이내믹형 논리 게이트 사이에 삽입된 인버터에 대해서 전원 전압으로부터 접지 전위 까지 경로의 누설 전류를 효과적으로 차단시킬 수 있다.

전술한 바와 같이, 스탠바이 모드 시에, 전체 회로의 노드 전위 즉, 각각의 다이내믹형 논리 게이트로의 입력 신호는 슬립 신호를 전원 전압으로 마련함으로써 쉽게 고정될 수 있으므로, 누설 전류의 안정한 차단이 실현될 수 있다.

도 29에 있어서, 도 28의 경우와 같이, 플립플롭의 출력 또는 래치의 출력에 선택적으로 접속되거나, 전술한 슬립으로서 전원 전압에 접속되는 다이내믹형 논리 게이트로 구성된 회로의 입력은 스탠바이 모드 시에 외부 회로로부터 회로에 부여되는 미리 설정된 신호 정보(스탠바이 상태(101))이다.

다이내믹형 논리 게이트(322, 323, 324, 325, 326)는 전체 프리차아지 트랜지스터가 평가용 고 문턱값의 NMOS 트랜지스터인 도 25의 (a)에 도시한 다이내믹형 논리 게이트이다. 도 29에 있어서, 다이내믹형 논리 게이트(322, 323, 324, 325, 326)의 NMOS 트랜지스터(327, 328, 329, 330, 331)는 고 문턱값을 갖는 프리차아지용의 NMOS 트랜지스터로서, 여기에 클록 신호  $\Phi$ 가 입력되고, 다이내믹형 논리 게이트(322, 323, 324, 325, 326)의 회로(332, 333, 334, 335, 336)는 저 문턱값의 PMOS 트랜지스터로 구성된 평가용 회로이다.

다이내믹형 논리 게이트(322)의 출력은 다이내믹형 논리 게이트(323), 다이내믹형 논리 게이트(324) 및 다이내믹형 논리 게이트(326)의 입력에 접속된다. 다이내믹형 논리 게이트(325)의 출력은 다이내믹형 논리 게이트(326)의 입력에 접속된다. 게다가, 다이내믹형 논리 게이트(322)의 입력은 플립플롭(FF)(320)의 출력 또는 접지 전원(337)에 선택적으로 접속된다. 다이내믹형 논리 게이트(325)의 입력은 래치(321)의 출력 또는 접지 전원(338)에 선택적으로 접속된다.

다이내믹형 논리 게이트(322)와 다이내믹형 논리 게이트(325)의 입력은 회로의 동작 모드 시에 플립플롭(FF)(320)과 래치(321)에 각각 접속되며, 스탠바이 모드 시에는 전원(337, 338)에 접속된다. 이러한 접지 전원(337, 338)은 슬립 신호로서의 역할을 하는데, 즉 스탠바이 모드 시에 전체 회로의 노드 전위를 접지 전위로 고정한다. 즉, 스탠바이 모드 시에 접지에 고정된 다이내믹형 논리 게이트(322, 325)의 입력, 즉 신호값 "0"은 스탠바이 모드 시에 다이내믹형 논리 게이트(322, 325)의 입력에 공급된다. 따라서, 다이내믹형 논리 게이트(322, 325)의 출력 신호는 다이내믹형 논리 게이트(322, 325)의 프리차아지 트랜지스터(327, 330)에 공급되는 신호값을 "0"으로 설정함으로써 "1"이 된다. 그러므로, 인버터가 도미노 논리를 이용하여 다이내믹형 논리 게이트에 삽입될 때, 신호값 "1"은 항상 인버터에 입력되고, 신호값 "0"은 항상 다음단의 다이내믹형 논리 게이트에 공급된다. 이러한 경우, 고문턱값의 PMOS 트랜지스터가 전원측에 배치되고, 저 문턱값의 NMOS 트랜지스터가 접지 전위측에 배치되는 도 27에 도시한 인버터가 이용될 수 있다. 다이내믹형 논리 게이트에서 뿐만 아니라 다이내믹형 논리 게이트 사이에 삽입된 인버터에서, 스탠바이 모드 시에, 전원 전압으로부터 접지 전위까지의 경로의 누설 전류는 고 문턱값의 PMOS 트랜지스터를 턴 오프함으로써 효과적으로 차단될 수 있다.

전술한 바와 같이, 스탠바이 모드 시에 전체 회로의 노드 전위는 슬립 신호를 접지 전위로 설정하여 누설 전류의 안정화된 차단을 효과적으로 실현하도록 고정될 수 있다.

#### 발명의 효과

본 발명은 고·저 문턱값의 양 트랜지스터를 이용하여, 스탠바이 모드 시에 누설 전류를 유효하게 제어할 수 있는 동시에, 상기 회로의 크리티컬 경로의 지연 시간을 단축하여 회로의 동작 속도를 향상시키고, 칩 전체의 성능의 향상시킬 수 있다.

이상 본 발명의 바람직한 실시예를 설명하였지만, 이 기술 분야에 통상의 지식을 가진 자라면, 이하의 클레임과 그 등가에 한정된 본 발명의 사상 및 원리를 이탈하는 일 없이 이러한 실시예의 변경이 행해질 수 있다는 것을 인식하고 있을 것이다.

#### (57) 청구의 범위

##### 청구항 1.

CMOS 논리 회로에 있어서,

외부 입력값을 반전시켜 반전된 신호를 출력하는 제1 회로와;

상기 제1 회로에 접속된 것으로서, 스탠바이 신호가 스탠바이 모드를 표시할 때 상기 반전된 신호를 반전시켜 제1 출력 신호를 출력하고, 상기 스탠바이 신호가 동작 모드를 표시할 때 상기 반전된 신호를 제2 출력 신호로서 통과시키는 스탠바이 회로와;

상기 스탠바이 회로에 접속되어, 상기 스탠바이 회로로부터의 제1 및 제2 출력 신호 중 적어도 하나를 반전시키는 제2 회로

를 포함하고,

상기 제1 및 제2 회로는 모두 고 문턱값의 트랜지스터와 저 문턱값의 트랜지스터를 구비하며,

상기 고 문턱값의 트랜지스터는 스탠바이 모드 시에 상기 제1 또는 제2 회로 중 하나에서 OFF 상태가 되어 상기 CMOS 회로의 누설 전류를 감소시키는 것인 CMOS 논리 회로.

##### 청구항 2.

삭제

##### 청구항 3.

CMOS 논리 회로에 있어서,

외부 입력값을 반전시켜 반전된 신호를 출력하는 제1 회로와;

상기 제1 회로에 접속된 것으로서, 스탠바이 신호가 스탠바이 모드를 표시할 때 상기 반전된 신호를 반전시켜 제1 출력 신호를 출력하고, 상기 스탠바이 신호가 동작 모드를 표시할 때 상기 반전된 신호를 제2 출력 신호로서 통과시키는 스탠바이 회로와;

상기 스텔바이 회로에 접속되어, 상기 스텔바이 회로로부터의 제1 및 제2 출력 신호 중 적어도 하나를 반전시키는 제2 회로

를 포함하고,

상기 제1 및 제2 회로는 모두 고 문턱값의 트랜지스터와 저 문턱값의 트랜지스터를 구비하며,

상기 저 문턱값의 트랜지스터는 동작 모드 시에 상기 제1 또는 제2 회로 중 하나에서 ON 상태가 되어 상기 CMOS 회로의 동작 속도를 증가시키는 것인 CMOS 논리 회로.

청구항 4.

삭제

청구항 5.

제1항에 있어서, 상기 제1 회로 및 제2 회로는 모두 각 전원측 상에서 고 문턱 값 및 저 문턱 값의 트랜지스터가 교대되는 형태로 직렬 접속된 인버터를 포함하는 것인 CMOS 논리 회로.

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

CMOS 논리 회로의 동작 방법에 있어서,

외부 입력값을 반전시켜 반전 신호를 출력하는 단계와;

스탠바이 신호가 스탠바이 모드를 표시할 때 상기 반전된 신호를 반전시켜 제1 출력 신호를 출력하고, 상기 스탠바이 신호가 동작 모드를 표시할 때 상기 반전된 신호를 제2 출력 신호로서 통과시키는 단계와;

상기 제1 및 제2 출력 신호 중 적어도 하나의 신호를 반전시키는 단계와;

상기 스탠바이 모드시 상기 CMOS 회로 내에서 적어도 하나의 고 문턱값의 트랜지스터를 오프시켜 상기 CMOS 회로의 누설 전류를 감소시키는 단계

를 포함하는 CMOS 논리 회로의 동작 방법.

청구항 14.

삭제

청구항 15.

제13항에 있어서, 상기 동작 모드 시에 상기 CMOS 회로의 동작 속도를 증가시키는 단계를 더 포함하는 것인 CMOS 논리 회로의 동작 방법.

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제



청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

삭제

청구항 40.

삭제

청구항 41.

삭제

청구항 42.

삭제

청구항 43.

삭제

청구항 44.

삭제

청구항 45.

삭제

청구항 46.

삭제

청구항 47.

삭제

청구항 48.

삭제

청구항 49.

삭제

청구항 50.

삭제

청구항 51.

삭제

청구항 52.

삭제

청구항 53.

삭제

청구항 54.

삭제

청구항 55.

삭제

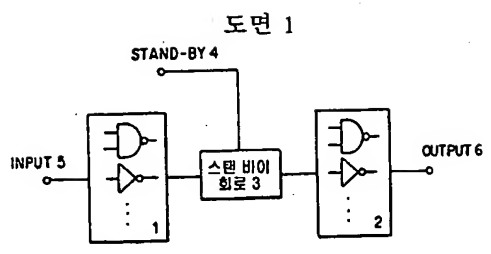
청구항 56.

삭제

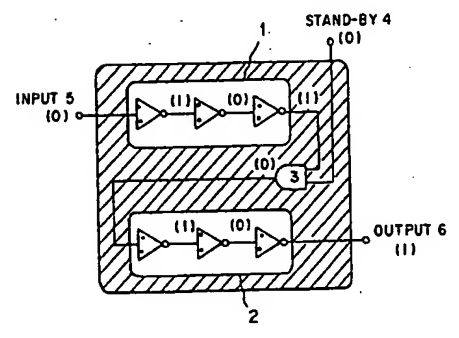
청구항 57.

삭제

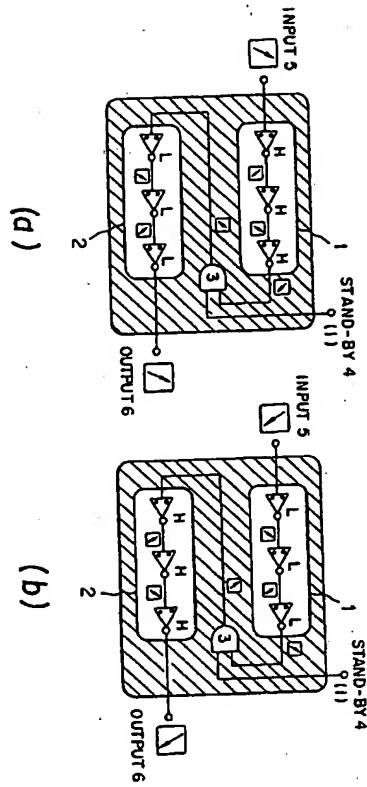
도면



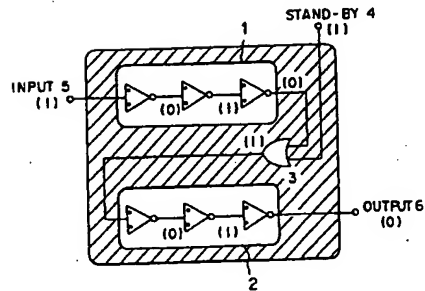
도면 2



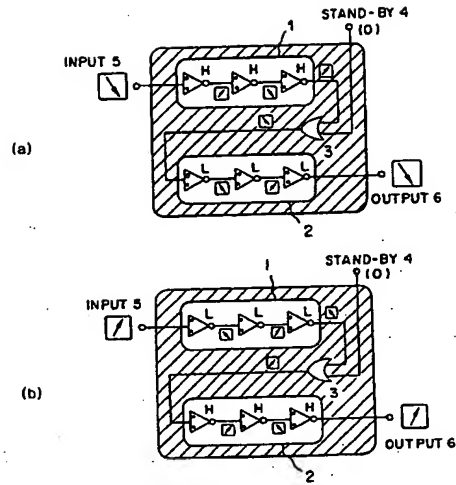
도면 3



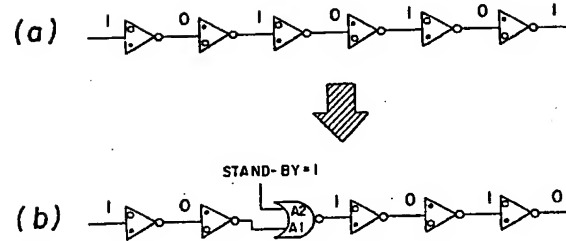
도면 4



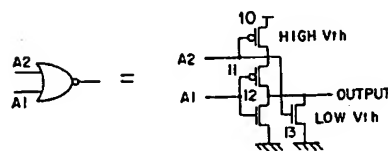
도면 5



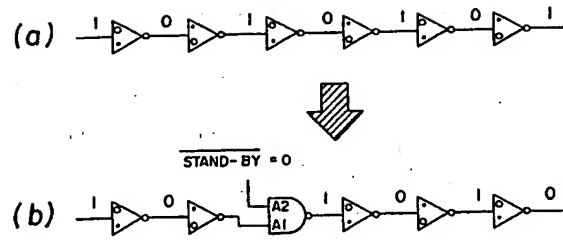
도면 6



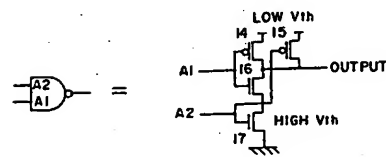
도면 7



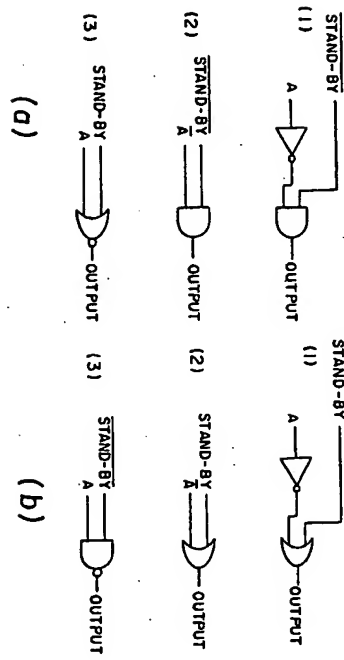
도면 8



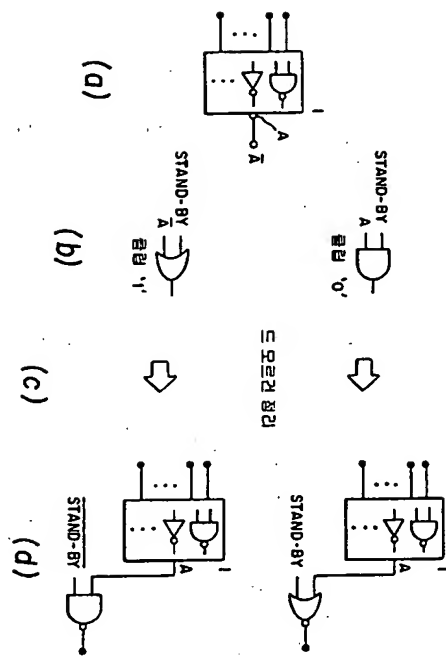
도면 9



도면 10

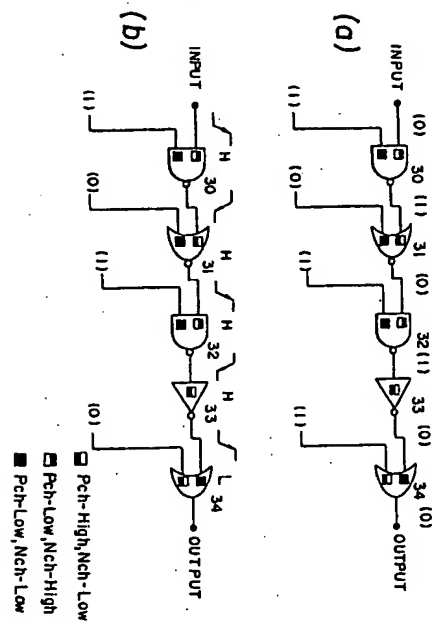


도면 11

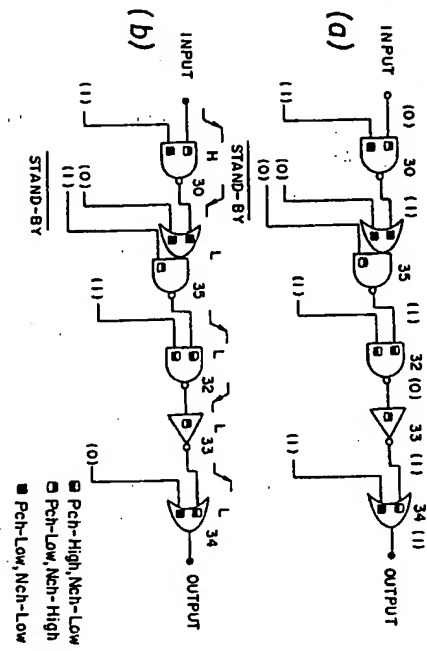




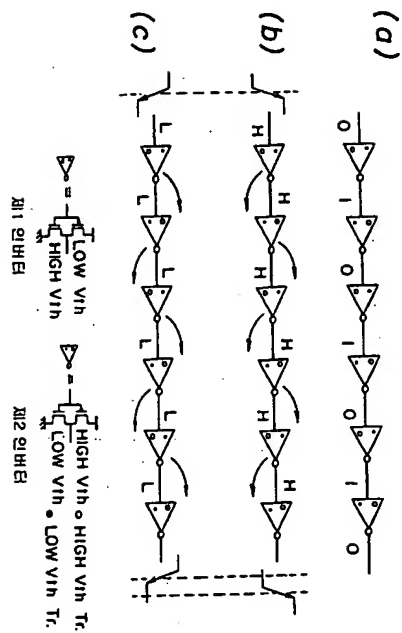
도면 12



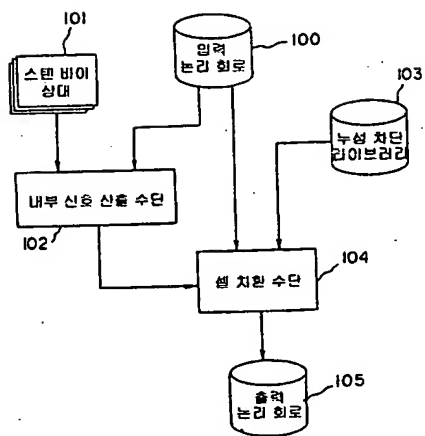
도면 13



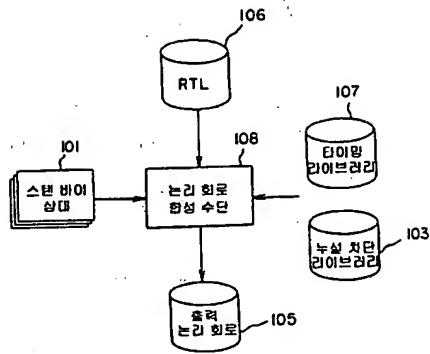
도면 14



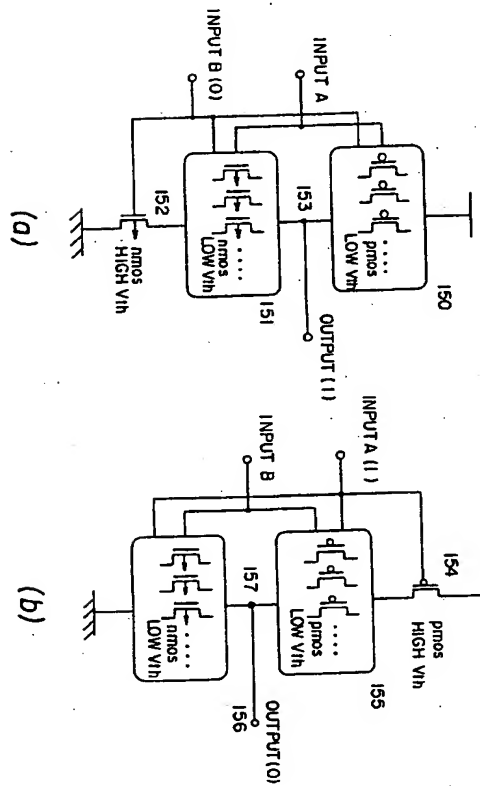
도면 15



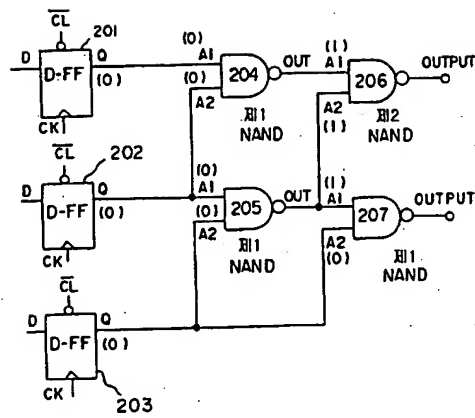
도면 16



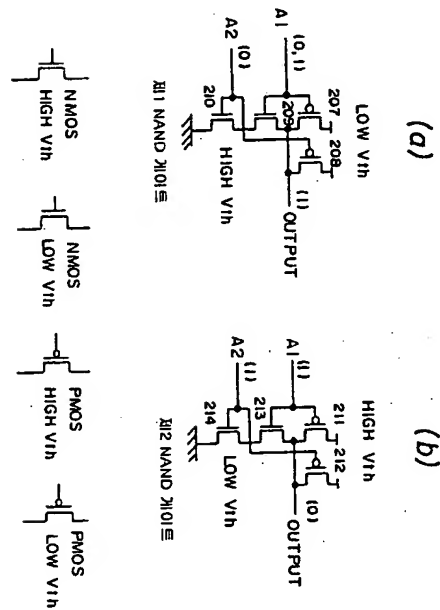
도면 17



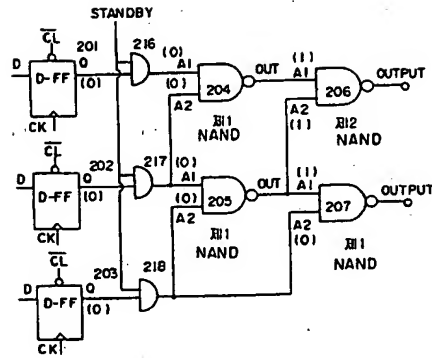
도면 18



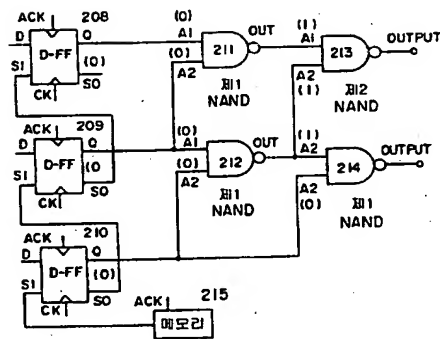
도면 19



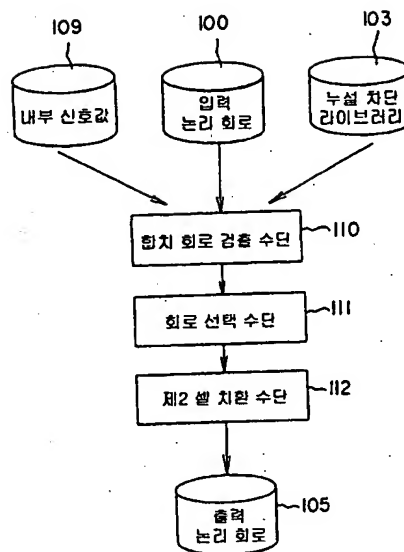
도면 20



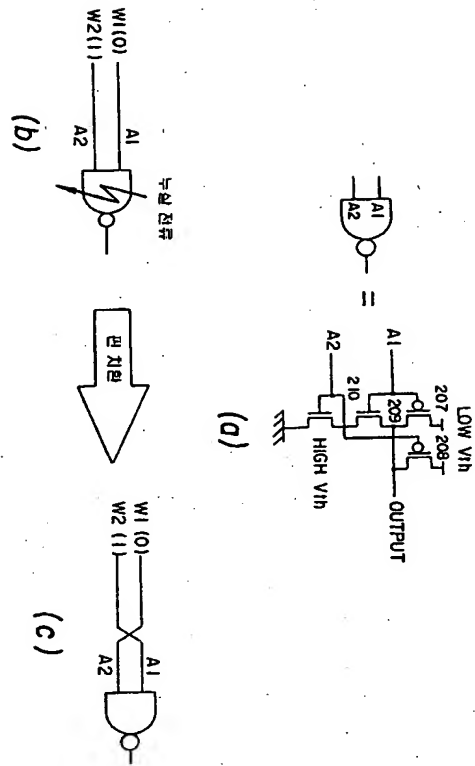
도면 21



도면 22

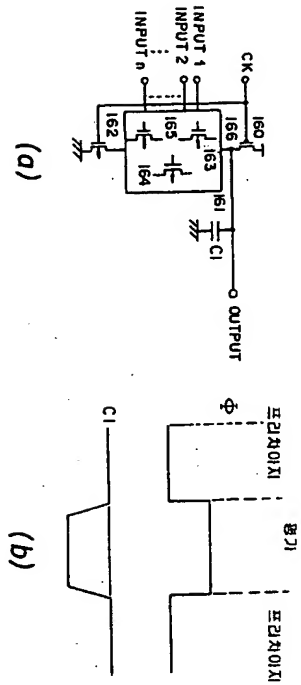


도면 23

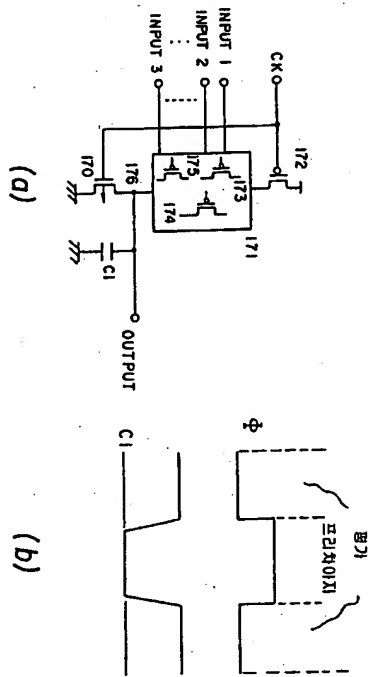




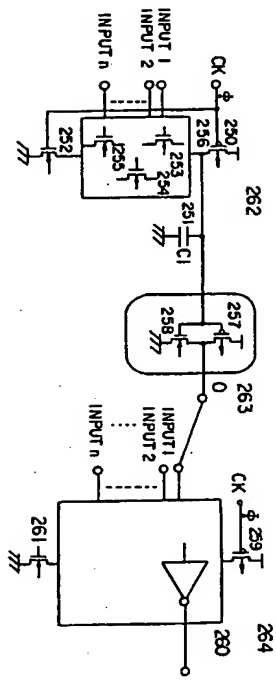
도면 24



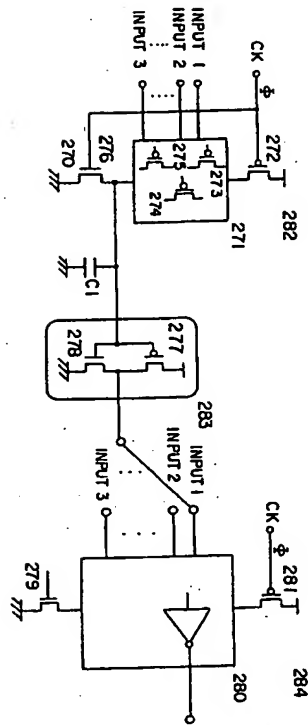
도면 25



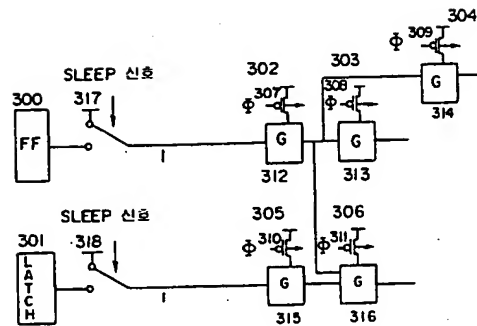
도면 26



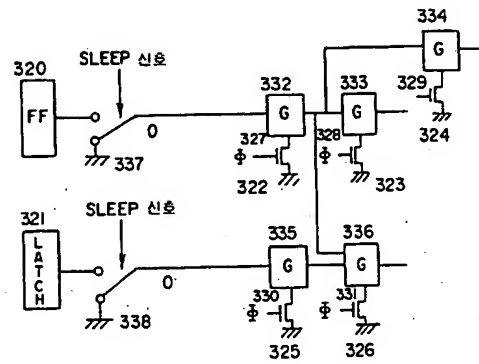
도면 27



도면 28



도면 29



도면 30

